

# 智能体大踏步进入EDA产业

本报记者 姬晓婷

## 解放人工实现 workflow 自主编排

2026年,EDA智能体进入了爆发期。

第一季度,全球前三大EDA厂商接连发布智能体产品。2月,Cadence推出了ChipStack AI Super Agent,自称可通过协调多个专业AI Agent,将代理编排应用于前端设计和验证;3月,新思科技推出AgentEngineer,称Agent能够独立或协调团队进行推理、规划、学习和执行工程任务;同月,西门子EDA发布Fuse EDA AI Agent,称Agent可在整个生命周期内实现端到端自动化,使用户能够通过多工具工作流程协调加快设计周期。

国内EDA厂商不甘示弱。今年2月,芯和半导体推出XAI多智能体平台;3月,合见工软发布UniVista Design Agent;同期,华大九天针对PyAether用户研发的智能体工具Aether Coder正式上线;4月,广立微继SemiMind半导体大模型平台之后上线SemiClaw智能体开发应用平台。

就像通用智能体的主要功能在于自主调度软件完成特定任务一样,EDA厂商也对EDA智能体抱有相似的期许:通过分析用户需求和设计意图,自动规划设计 workflow,自主调用EDA工具完成设计工作。

现在,这条由智能体驱动的智能化工具流已经初见成效。

合见工软产品总监成功向《中国电子报》记者表示,UDA2.0像“虚拟设计助理”,可以自主规划任务(例如先生成RTL,再生成Testbench,接着运行仿真)、自主调用工具链(如UVS+仿真器、UVD+调试器、UVSYN快速综合引擎),并根据执行结果自主进行反馈、纠错与迭代优化,最终形成“生成-验证-调试-优化”的完整闭环。

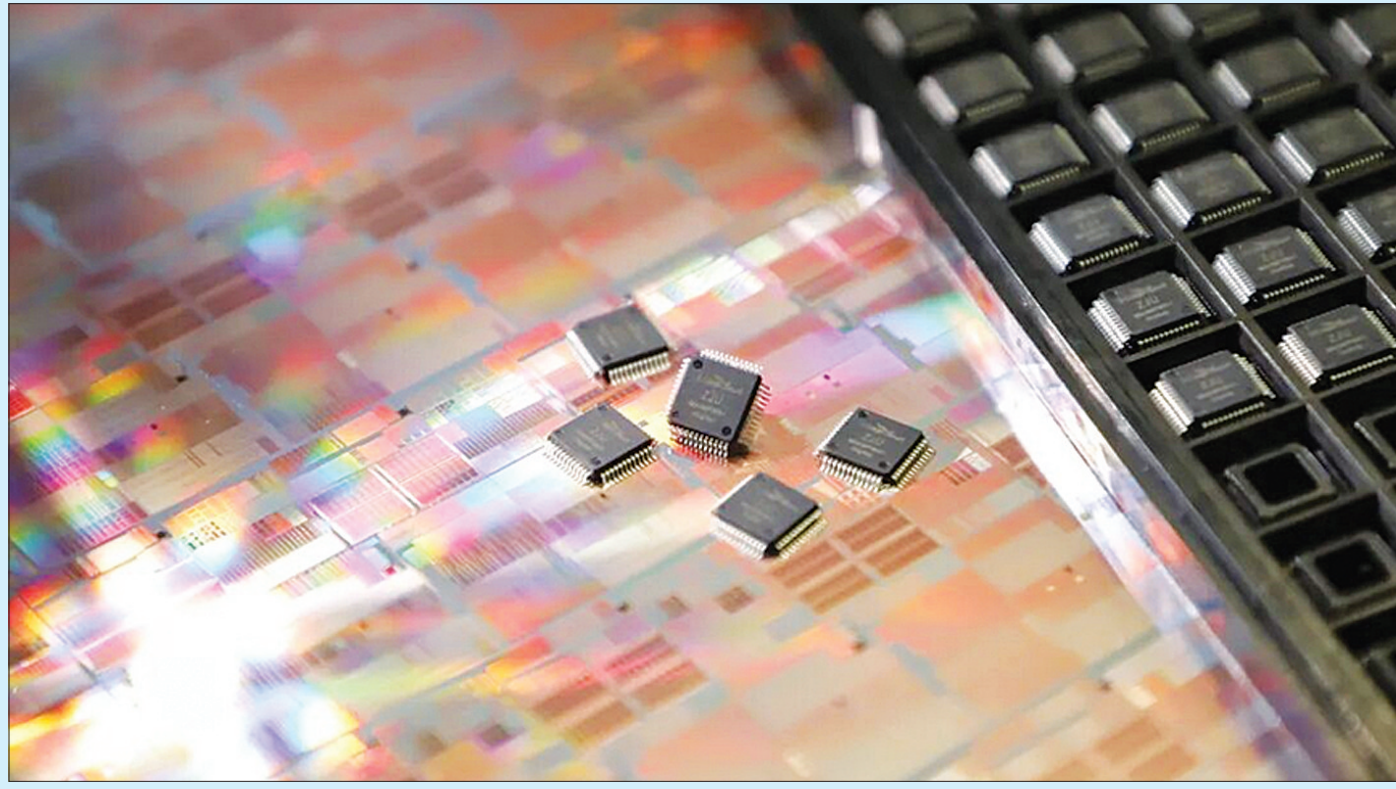
芯和半导体技术市场总监黄晓波表示,芯和XAI智能底座下有四大智能体,深度嵌入到建模、设计、仿真、优化的全流程中,让工具从被动执行者变成能主动调度、协同工作的数字劳动力——把芯片、封装、互连的多层级约束拉到统一框架下,让信号完整性、功耗、热管理这些原本分工具、分团队的问题,在同一平面上实现端到端协同。

广立微电子技术市场总监张克非表示,作为企业级智能体开发与应用平台,SemiClaw能够支持智能调度与跨系统操作,预置半导体行业设计、测试、分析多种技能,具备细粒度的权限管控与审计机制。智能体的出现,将EDA流程从“人找信息、人写脚本、人调工具”转变为“任务驱动、智能体自主编排与操作”。

## 智能体暂时干不了的 三件事

作为一个新生事物,EDA智能体并不会

今年以来,一众EDA智能体产品接连上线,以自动实现规划设计 workflow、自动调度EDA工具完成设计工作等为核心卖点。一年前,业内人士还对大模型的稳定性、准确性存疑。而今,相继上新的EDA智能体开始借助“连续工作、认错回头”的能力,为大模型“幻觉”打补丁。



记者在采访中了解到,短期内,有些工作是智能体无法胜任的。

第一是颠覆式创新。广立微电子技术市场总监张克非向《中国电子报》记者表示,智能体擅长从1到100的增长,但不擅长从0到1的创新。它的工作模式是从现有流程中学习,而真正能够解决特定行业领域应用问题的颠覆式创新,如真正的新思路、新架构,短期内只能来自人类的思考。

第二是物理规律的推演分析。归根结底,当前大模型是语言模型,无法理解物理世界。而EDA恰恰涉及大量对真实物理世界的模拟和仿真。尽管世界模型是热门方向,但在可见的很长一段时间里,模拟类运算仍将完全依赖底层的EDA工具。

第三是责任承担。黄晓波表示,在芯片设计工作中,智能体能介入多少取决于该任务有多大的容错空间。“RTL生成、文档理解、流程编排,有人工审核兜底,出了偏差能及时纠正,可以交给AI完成;但signoff的精度判定、安全关键场景的决策、跨代际工艺的外推,这些任务一旦出错,下游代价极高,短期内无法由智能体替代。”黄晓波说道。

片设计工作中,智能体能介入多少取决于该任务有多大的容错空间。“RTL生成、文档理解、流程编排,有人工审核兜底,出了偏差能及时纠正,可以交给AI完成;但signoff的精度判定、安全关键场景的决策、跨代际工艺的外推,这些任务一旦出错,下游代价极高,短期内无法由智能体替代。”黄晓波说道。

## 回溯为大模型幻觉 “打补丁”

一年前,当记者采访EDA相关企业的时候,许多企业还对大模型在EDA产业内的应用抱有谨慎的态度。其中,大模型可能存在的AI幻觉,是阻碍其在产业内扩展应用的关键因素。

当前,大语言模型的生成能力,仍然难以满足EDA对结果100%正确的要求。但记者也在采访中发现,智能体的使用正在一定程度上弥补大模型存在的固有缺陷。

智能体与EDA工具构成的“代理+工具调用(Tool Use)”协作模式,能够保证结果的精度和正确性。张克非举例道,头部EDA公司当前的智能体产品(如Synopsys、Cadence、Ansys以及英伟达披露的内部工具)并非直接让大模型输出最终数据结果,而是让大模型去驱动高精度的求解器。在芯片的形式验证(Formal Verification)环节,无论智能体如何发挥,流程编排会在数学证明的层面保证产出设计的正确性。借助EDA工具中内化的数学、物理或经验的规则,智能体在工作时能够自行获得反馈,遇到错误时回溯(backtracking)解空间探索其他方案。

“这种‘连续工作、认错回头’的能力使智能体表现出像人类一样使用EDA工具的能力,通过多轮尝试最终给出符合正确性和精度要求的结果。”张克非说道。

成功也介绍了一种类似的智能体保证结果准确的方式——工具链闭环验证。智能体生成代码后,能自动调用EDA工具产品链(如UVS+仿真器、UVD+调试器)进行编译、仿真和调试。代码的功能正确性不由LLM保证,而由标准的、可信的仿真结果来保证。如果仿真失败,智能体会分析失败原因(Log/波形),尝试修改代码,然后再次仿真,直至通过,从而形成“生成-验证-修正”的工程闭环。

## 产业观察

### EDA智能体接管汽车芯片设计,行不行?

姬晓婷

汽车芯片设计周期长达数年甚至数十年,而智能体的出现为芯片设计提速提供了新的可能性。这便带来了新的问题:EDA智能体能否应用到对安全性、可靠性要求极高的汽车芯片设计环节?

一方面,业内人士对于EDA智能体应用于汽车芯片设计寄予厚望。在芯华章相关负责人看来,汽车芯片对安全性和高可靠性有着近乎苛刻的要求,而这恰恰是智能体大显身手的地方。

其一,汽车芯片的验证周期占到研发总时间的70%以上。智能体可以通过自动

生成的故障注入测试和覆盖率分析,大幅缩减验证周期。其二,汽车芯片需符合ISO 26262等标准,智能体可以实时监控设计流程,自动生成合规性文档和追溯性报告,确保每一行代码都符合车规级安全要求。其三,与消费级芯片追求极致主频不同,汽车芯片更看重不同工况下的稳定性,利用智能体在仿真中模拟各种极端的失效场景,提升芯片在复杂车载环境下的生存能力。

芯和半导体技术市场总监黄晓波向记者表示,车规芯片与消费类最大的差异不在于性能,而在于验证。在AEC-Q100、ISO 26262等标准的认证过程中,需要在大量极端工况下反复仿真、验证,这部分的工作量

往往比设计本身还重。正因如此,智能体在车规场景的发挥空间更广阔。AI加速仿真、多工况并行评估、失效模式自动识别等功能都可以由智能体介入,这些也是验证过程的最终环节。

另一方面,采用EDA智能体的安全性隐忧依然存在。要将智能体应用于芯片设计,首先要解决的便是责任归属问题。

“智能体算人还是算软件?”在接受《中国电子报》记者采访时,广立微电子技术市场总监张克非首先提出这样的疑虑,“车规芯片设计EDA通常要通过功能安全认证。智能体是否也需要通过功能安全认证、获得TCL(Tool Confidence Level)评级?这

是需要业界共同讨论的问题。”

车规芯片相比消费类芯片设计周期更长、可靠性要求更高,需具备安全和可靠性设计,以适应更苛刻的温度湿度等环境要求,业界形成了如IATF 16949、ISO 26262、AEC-Q100等流程和测试等评审和认证规范。如此严苛的情况下,假如使用智能体设计芯片,造成芯片故障,进而导致事故和生命财产损失,责任应如何拆解划分?

在张克非看来,在车规芯片设计这样高质量等级要求的领域,每个智能体的输出都需要绑定一个人来对结果负责,流程评审和结果确认仍然需要人来完成——这不是技术问题,而是责任归属问题。

# 稳增长 强创新 促融合 优治理 防风险

## 确保实现“十五五”良好开局