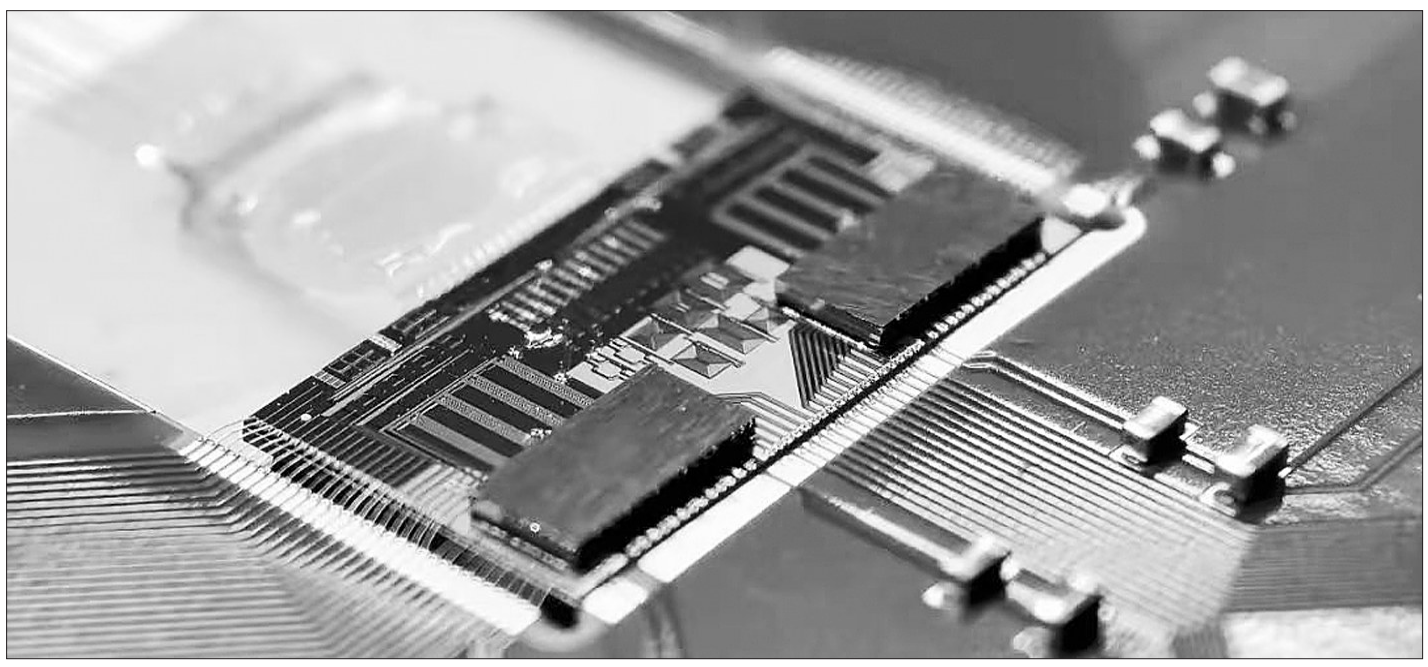
中国工程院院士孙凝晖：

芯粒集成度大幅提升带来三大科学问题



本报记者　杨鹏岳

随着摩尔定律的发展逐渐放缓，集成芯片与芯粒（Chiplet）技术对高性能芯片的设计与制造愈加重要。近日，中国工程院院士、中国科学院计算技术研究所研究员孙凝晖在2025年度晶上系统生态大会（SD-SoW）上指出，集成芯片是一条使用现有自主工艺实现高性能芯片的变革性技术途径，而芯粒集成度（数量和种类）的大幅提升带来了三大科学问题。

孙凝晖表示，集成芯片是提升芯片性能的新路径。传统芯片是晶体管在二维平面上集成制造的芯片；相比之下，集成芯片先将晶体管集成具有特定功能的芯粒，再将预制好的芯粒按照需求三维集成为芯片。集成芯片的优势是通过两次集成大幅提高晶体管总量，集成规模最大可到整片晶圆；芯粒的模块化可降低芯片设计与生产成本。

“集成芯片是一条使用现有自主工艺实现高性能芯片的变革性技术途径。它与集成电路尺寸微缩技术路径相辅相成，共同促进芯片的发展。”孙凝晖说道。从产业实践来看，在先进集成技术赋能下，采用14nm工艺可实现7nm甚至5nm工艺的芯片性能。

从设计范式来看，现有芯片设计范式是从晶体管到芯片，自下而上地堆叠，这样的范式伴随着两个原生问题：一是晶体管数量巨大，使得设计复杂度不断增高，二是产业易被掌握先进工艺制程的制造厂商主导。

而集成芯片引入了系统工程学的理念，从应用需求出发，在堆叠法的基础上，引入了自上而下的构造法：一是最优化多芯粒功能分解，二是大规模芯粒高效组合，三是芯粒3D高密度集成。

孙凝晖指出，芯粒集成度的大幅提升带来了新的科学问题，主要体现在以下三方面。

一是芯粒的数学描述和组合优化理论。

如何将复杂的功能需求，分解并映射到大规模的芯粒构件上？

孙凝晖指出，少量芯粒集成时，映射关系简洁；而将复杂功能分解到大量芯粒时，需要借助数学运算。另外，传统集成电路针对微观晶体管的数学描述不适用于芯粒尺度，亟需建立新的数学理论。

针对集成芯片“分解”问题的研究思路，他认为，与传统芯片中采用布尔代数表示晶体管功能不同，可以采用函数理论对多芯粒系统进行抽象描述，并基于复杂函数的分解优化，建立对集成芯片的芯粒最优分解的建模和分析。

为此，需要重点关注集成芯片的抽象数学描述，设计复杂空间建模、降阶与优化理论，以及跨层次、随机、不可精确计算函数的优化。

二是大规模芯粒并行架构和设计自动化。

随着芯粒的数量和种类大幅提升，怎样应对芯片设计复杂度的爆炸式增长？

孙凝晖指出，目前集成芯片的芯粒种类少、数量少，可调整的设计参数有限，并行设计的难度较低。但是到了大规模芯粒集成时，就要考虑分解效率、三维自动化布局布线等新问题，需要新的EDA算法。而现有EDA工具用于以晶体管为单元的平面电路设计，需要以芯粒为单元的三维EDA工具。

针对集成芯片“组合”问题的研究思路，他认为，现有EDA工具主要基于模型/暴力搜索等方法实现自动化。针对集成芯片，可以引入专家知识+人工智能协同的新方法，构建多芯架构和集成芯片设计的EDA工具。

为此，需要重点关注的方向包括：多芯并行体系结构和互联接口，集成芯片的综合、布局布线算法，以及多芯并行的编译原理与软件栈。

三是芯粒尺度的多物理场耦合机制与界面理论。

不同功能和种类的芯粒在形成界面时，如何优化电、热传导，避免应力破坏？

孙凝晖表示，少量芯粒集成时仅需在二维层面分析电、热、力传导，距离远耦合度低，效应易预测。而大规模芯粒集成时，扩展到三维空间，多层堆叠结构带来了复杂界面的物理量传导耦合问题。此外，传统集成电路对微观晶体管电热力传导建立的物理模型，不适用于芯粒尺度的预测分析。

针对集成芯片“集成”问题的研究思路，他认为，与传统芯片中微观（晶体管）和宏观（芯片）层面分立的电—热—力的多场耦合效应不同，需以芯粒作为连接微观与宏观的核心枢纽，以微观物理理论为基础去构建芯粒尺度的多物理场，以及多界面耦合的快速、精确的仿真计算方法。需要重点关注的方向包括电—热—应力交互的多物理场仿真，大功率集成芯片的电源管理与散热理论，以及3D互连界面的可靠性。

全球前十大IC设计厂商Q1营收达774亿美元

本报讯　根据TrendForce集邦咨询近日发布的最新报告，2025年第一季度，全球前十大无晶圆IC设计厂商的营收合计季增约6%，达到774亿美元，创下历史新高。

NVIDIA（英伟达）受益于AI数据中心领域需求，Blackwell GPU平台逐步放量，2025年第一季度营收突破423亿美元，环比增长12%，同比增长72%，营收排名第一。

第二名Qualcomm（高通）。今年第一季度营收近94.7亿美元。其QCT部门的手机业务因淡季而下滑，且有苹果公司未来自研芯片占比提高影响前景，导致整体营收季减6%。但高通也在积极在AI手机、AI PC、汽车、数据中心等市场寻找机会。

第三名Broadcom（博通）。在网络通信领域，博通第一季度半导体营收续创历史新高，为83.4亿美元，年增15%。随着AI服务器生态系规模扩大，博通深度布局处理AI网络的高速互联解决方案，推出全球首款102.4Tbps CPO Switch，也取得了多个科技巨头的AI ASIC标案，助力AI芯片营收持续增长。

第四名AMD（超威）。第一季度因数据中心业务略为下滑，加上游戏、嵌入式产品销售动能仍较弱，营收近74.4亿美元，季减约3%，但对比2024年同期仍增长36 %。预期AMD下半年将扩大量产新一代平台MI350以接棒MI300，并计划于2026年推出MI400，与NVIDIA的Blackwell和下一代Rubin AI芯片竞争。

第五名联发科。由于中国大陆手机客户对天玑9400+、天玑8000系列需求增长，加上手机SoC的平均销售单价提高，带动其第一季度营收增长至46.6亿美元，环比增长9%，同比增长10%。

第六名Marvell（美满电子）。第一季度因AI Server相关产品需求强劲，营收近18.7亿美元，季增9%。该公司除了为大型CSP提供客制化AI ASIC，其高速光学互连的相关解决方案，也是AI数据中心扩展的关键。

第七名瑞昱。第一季度表现亮眼，营收季增31%至10.6亿美元以上。增长动能主要来自PC相关客户为应对市场不确定性而增加库存，以及Wi-Fi 7渗透率提升和车用以太网络需求渐增。

第八名联咏。第一季度得益于中国大陆的消费补贴政策，以及部分客户因关税提前拉货，营收增长至8.2亿美元以上，季增6%。

第九名豪威集团（韦尔股份）。因第一季度适逢智能手机淡季，营收季减2%，为7.3亿美元。但该公司在图像传感器和汽车电子领域进展显著，主要因为本土电动车品牌增加使用摄影镜头支持智能驾驶系统，利好其车用CIS业务增长。

第十名芯源系统。第一季度受惠于AI数据中心带来庞大电源控制器需求，其运算与存储部门业务大幅增长，整体营收接近6.4亿美元，创其历史新高。　**（文　编）**

Marvell推出全球首款2nm定制SRAM

本报讯　近日，Marvell宣布推出全球首款基于2nm工艺的定制静态随机存取存储器（SRAM）。该产品专为提升定制化加速处理器（XPUs）及相关设备性能而设计，旨在满足云数据中心和人工智能集群日益增长的算力需求。

这款全新的2nm定制SRAM集成了Marvell先进的定制电路设计与软件技术，结合核心SRAM架构与前沿2nm制程工艺，最高可提供6.4Gbit/s的传输速率。在同等密度下，其功耗和芯片面积显著降低，为高性能计算系统提供了更高的能效比与空间利用率。

Marvell表示，此次推出的定制SRAM是其为优化加速计算基础设施内存层级性能所做出的创新。此前，该公司已推出用于定制硅芯片的CXL技术，以向云服务器添加TB级内存和额外计算能力，并发布了可将内存容量提升33%，同时减少HBM堆叠空间与功耗的定制HBM技术。

凭借业内最高的每平方毫米带宽，Marvell的2nm定制SRAM可帮助芯片设计者节省多达15%的芯片总面积。这一“释放”的空间可用于集成更多计算核心、扩展内存容量、缩小设备尺寸与成本，或根据特定性能、应用场景及总体拥有成本目标进行灵活配置。此外，该SRAM采用创新的数据路径与架构设计，在同等密度下功耗较传统片上SRAM降低高达66%，频率可达3.75GHz。

Marvell定制云解决方案高级副总裁Will Chu表示：“定制化是AI基础设施的未来。如今超大规模企业用于开发尖端定制XPUs的方法和技术，将在未来渗透到更广泛的客户群体、设备类型和应用场景中。”

随着过去50年来通过不断缩小晶体管尺寸提升芯片性能的方式逐渐接近物理极限，半导体行业正转向定制化硅芯片设计，以更好地匹配用户的独特架构需求。Marvell的定制SRAM正是其在这一趋势下的又一重要布局，标志着定制硅芯片时代的进一步深化。　**（马　文）**

江波龙与闪迪合作 打造通用闪存存储解决方案

本报讯　6月16日，江波龙与存储解决方案提供商Sandisk（闪迪）在签署合作备忘录。此次合作将深度整合双方优势资源，为客户带来高品质的UFS（通用闪存存储）解决方案，助力客户推出市场差异化产品。

此次合作中，闪迪充分发挥其在嵌入式UFS系统层面的专业优势，满足移动设备及IoT应用对关键性能与AI功能的严苛需求。解决方案基于闪迪先进的BiSC8——218层3D闪存技术，采用CBA（CMOS directly Bonded to Array）技术，以具有竞争力的成本，实现大容量以及高性能与可靠性。

通过结合江波龙在主控芯片、自有固件和元成ESAT专品专线封测制造服务方面的专业技术能力，以及闪迪在系统设计与闪存技术领域的领先优势，双方力求更好地满足特定市场的高价值技术及制造服务需求，为客户提供从产品开发到市场应用的全方位支持，帮助客户定制差异化创新产品，提升市场竞争力。

闪迪产品高级副总裁Khurram Ismail表示：“闪迪一直致力于通过先进的技术和创新解决方案开拓市场，此次与江波龙的合作，是我们在存储领域创新合作迈出的重要一步。我们相信，通过结合江波龙的产品技术优势、制造优势，以及对客户和市场的深刻理解和本地化服务，我们有信心为移动与IoT市场打造定制化的高品质UFS解决方案，期待与江波龙共同拓展存储市场的新机遇。”

江波龙董事长蔡华波表示：“闪迪作为全球知名的存储解决方案提供商，拥有领先的存储技术和丰富的系统设计经验，并在存储市场建立了良好的口碑。此次与闪迪的合作，将使我们能够整合双方的优势资源，为市场提供更具竞争力的存储商业化服务。”

此次合作中，江波龙的TCM（即技术合约制造）商业模式也将发挥重要作用。TCM商业模式旨在高效且直接地拉通存储晶圆原厂与核心客户之间的供需商业关系。基于确定性的供需合约，江波龙充分发挥其存储解决服务平台的优势，整合主控芯片设计、固件定制开发、高端封测技术、智能制造及知识产权等存储产品Foundry能力，高效完成从存储晶圆厂到核心客户的一站式交付，从而提升存储产业链从原厂到行业应用的效率和效益。TCM商业模式自推出以来，已经获得了存储晶圆原厂和核心客户的积极反馈和认可。基于长期合作关系，闪迪与江波龙将进一步深化战略协作。双方将在TCM模式下，通过优势互补，进一步优化存储产品的开发与交付流程，以更优质的服务，为客户创造共赢互利的价值。　**（江　文）**

兆芯与麒麟软件协同 实现从芯片架构到操作系统全栈创新

本报讯　6月18日，兆芯与麒麟软件在京举办战略合作签约仪式，以“芯魂共筑”的深度协同，开启从芯片架构到操作系统的全栈创新。

签约仪式上，双方分别就各自业务领域的最新进展及核心成果进行了重点介绍。兆芯自主创新研发的全系列高性能通用CPU，包括开先KX-7000、开胜KH-40000等产品已经全面适配银河麒麟桌面/服务器操作系统，同步实现性能优化，完善对AI的支持。截至目前，麒麟软件操作系统已导入或计划导入近百款兆芯平台整机。在软硬协作的同时，60余万的兆芯平台兼容适配量更为行业用户的应用、迁移、改造、升级提供了优异的基础平台支撑。

面向AI崛起的智能新时代，双方将聚焦产品适配、联合技术创新及市场协同拓展等方向展开深度协作，此次的携手签约，标志着双方战略伙伴关系的全新起点。通过整合兆芯在高性能通用处理器硬件层面的技术优势与麒麟软件在操作系统领域的核心能力，实现从底层芯片架构到上层操作系统的“全栈优化”，持续推动应用生态的适配升级，完成海量软硬件产品的兼容性适配，为行业用户提供具备创新性、安全性与高效性的基础软硬件平台，助力其应用系统的平滑迁移、改造及升级。

未来，兆芯将与麒麟软件一起，以联合创新为引擎，整合整机、应用、模型语料等生态伙伴打造自主创新的AI PC全栈解决方案，联合产业链上下游生态伙伴，打造安全高效、功能完善、性能卓越的软硬件一体化标杆方案，满足终端用户从云到边再到端的AI应用需求，为人工智能时代数智化升级转型，提供坚实有力的基础支撑与技术保障。

（兆　琪）

泰瑞达携手昂科技术 提供半导体全流程测试方案

本报讯　6月17日，半导体自动测试设备企业泰瑞达（TERADYNE）与昂科技术（ACROVIEW）正式签署战略合作协议，双方将充分发挥各自优势，使测试方案的应用范围全面延伸至存储芯片的设计、制造、封装测试到模块生产全流程，满足中国客户全方位的需求。

随着AI、5G、IoT、汽车芯片等行业的快速发展，半导体设计、开发和测试进入发展的关键时期，且在技术发展和人才流动的大环境下，半导体产业格局正在发生重大结构调整。先进封装和异构集成的复杂技术所需求的可靠性、优选测试资源、先进测试方法以及全栈式测试设备，已经成为客户提升核心竞争力的关键要素。

泰瑞达与昂科技术的深入合作，将共同为中国存储半导体产业链提供更快速、完整且更具成本效益的测试解决方案。泰瑞达通过战略合作伙伴昂科的支持，能更完整地覆盖并扩展直销团队的销售服务范围，全面满足不同规模、不同需求的客户，确保中国半导体企业都能获得最适配的测试支持。

昂科通过战略合作伙伴泰瑞达的支持，构建了芯片测试全周期的产品和服务，覆盖从PSV（硅后验证）、CP（晶圆测试）、FT（封装测试）、SLT（系统级测试）、BI（老化测试）直至Programming（烧录）的全系列解决方案，在帮助客户产品快速上市和快速盈利的同时，提升其测试技术水平和核心竞争力。　**（泰　昂）**

Cadence扩大与三星合作 为AI数据中心提供高性能解决方案

本报讯　Cadence近日宣布扩大与三星之间的合作，包括一项新的多年IP协议，以拓宽三星晶圆代工的SF4X、SF5A和SF2P高级工艺节点中的Cadence存储器和接口IP解决方案。

为了进一步加强持续的技术合作，双方正在利用Cadence的AI驱动设计解决方案和三星的SF4X、SF4U和SF2P工艺节点，为AI数据中心、汽车（包括高级驾驶辅助系统）和下一代RF连接应用提供高性能、低功耗的解决方案。

“我们支持三星工艺节点上的完整IP、子系统和小芯片组合，我们最新的多年IP协议加强了双方的持续合作。”Cadence高级副总裁兼芯片解决方案事业部总经理Boyd Phelps表示，“通过将Cadence的AI驱动设计和芯片解决方案与三星的先进工艺相结合，我们正在为共同客户提供创新所需的领先技术，并更快地将他们的产品推向市场。”

三星电子副总裁兼代工设计技术团队负责人Hyung-Ock Kim补充道：“Cadence从RTL到GDS的数字工具套件已获得三星最新SF2P工艺节点的认证，支持Hyper Cell和LLE 2.0技术等进步。Cadence和三星还密切合作，使用GPU加速实现模拟迁移，增强电源完整性，并改进3D-IC的热和翘曲分析。此外，Cadence和三星之间达成了一项多年协议，旨在扩展内存和接口IP解决方案，进一步加强了我们的合作伙伴关系。”

此外，Cadence与三星成功将4nm IP自动迁移至2nm工艺节点，显著缩短了开发周期。双方还在射频芯片和封装设计方面展开合作，简化了设计数据管理，进一步缩短设计周期。　**（双　和）**