

# 2nm 量产倒计时

本报记者 许子皓

## 台积电：

### 进度超前，降本仍是首要难题

作为产业的领头羊，台积电在2nm芯片的研发和量产进度上一直处于行业领先地位，目前良率已经达到60%。

早在2024年第一季度，台积电就在新竹宝山晶圆厂(Fab 20)成功设立了2nm工艺的试产线，这一举措标志着台积电在2nm工艺技术领域已经取得了显著进展。根据台积电的规划，2025年下半年将是一个重要的时间节点，届时2nm芯片将正式进入批量生产阶段。到2025年年底，若计入高雄晶圆厂(Fab 22)的产能，其2nm工艺的月产能预计将突破5万片。而在2026年年底，这一数字有望进一步攀升至每月12万片至13万片。

同时，台积电为了满足2nm的量产需求，加大了对ASML的EUV光刻机的采购力度，在2024年就订购了30台，并且计划在2025年再订购35台，其中还包括ASML最新推出的High-NA EUV光刻机。如此大规模的产能规划，为其在全球半导体市场的竞争中奠定了基础。

在技术方面，台积电在晶体管架构上，摒弃了沿用已久的鳍式场效应晶体管(FinFET)，转而采用全环绕栅极场效应晶体管(GAAFET)技术。专家表示，这种全新架构由一叠狭窄的硅带组成，每个硅带都被一个栅极全方位包围。相比FinFET，GAAFET对电流的控制更为精细，极大地降低了量子隧道效应，使得芯片在相同功耗下能够实现更高的性能，或者在相同性能下大幅降低功耗。举例来说，在移动设备中，采用GAAFET架构的2nm芯片能让手机在长时间运行高负载游戏时，发热更少、电量消耗更慢，同时游戏画面的流畅度和响应速度都能得到显著提升。

此外，台积电还在2nm工艺中引入了多种新技术，例如，NanoFlex DTACO(设计技术联合优化)技术的使用让开发者可以根据不同的应用需求，灵活选择更高效的单元高度。若用于对能效要求极高的物联网设备芯片，可开发面积最小化、能效增强的更矮单元，让设备在极小的电量下也能长时间稳定运行；采用的第三代微量子集成技术，支持六个电压阈值档(6-Vt)，范围达到200mV。这使得N型、P型纳米片晶体管的I/CV速度分别提升了70%和110%，优化了芯片的性能表现；利用全新的中间层(MoL)、后端层(BEOL)和远后端层(Far-BEOL)导线，让电阻降低了20%，能效更高。并且，第一层金属层(M1)现在只需一步蚀刻(1P1E)、一次EUV曝光即可完成，降低了复杂度和光罩数量，不仅提高了生产效率，还降低了生产成本。此外，针对高性能计算应用，台积电还引入了超高性能的SHP-MiM电容，容量大约每平方毫米200fF，可以获得更高的运行频率，满足了大数据处理、人工智能训练等对计算速度要求极高的应用场景需求。

这些技术的综合使用，让台积电的2nm工艺技术在性能提升和功耗降低方面展现出显著的优势。台积电表示，在性能提升上，相较于当前广泛应用的3nm制程，2nm制程在相同运行电压下，性能可提高15%，在同等性能下，功耗可降低24%~35%。

尽管台积电的2nm芯片在技术上优势明显，但在市场推广方面却面临着成本高昂的难题。据了解，2nm芯片的制造成本极高，每片硅圆盘的报价高达3万美元，即使苹果这样的台积电的忠实大客户，也会对2nm芯片的报价有所顾虑。苹果原计划在iPhone 17系列中应用台积电的2nm芯片，但最终因成本原因，计划推迟至2026年的iPhone 18系列上使用。

对于其他客户来说，这个影响只会被无限放大，因此，如何在保证技术优势的同时，降低成本，提高市场接受度，是台积电未来需要解决的关键问题。

## 三星：

### 稳步推进，良率依旧面临挑战

三星作为先进工艺的重要推动者，一直在积极研发2nm工艺。在2024年三星晶圆代工论坛年度博览会上，三星公布了最新的半导体芯片工艺路线图，宣布将在2025年量产2nm芯片，并计划在2027年量产1.4nm芯片。

据了解，三星的2nm工艺布局了多个节点，其中第一代2nm工艺为SF2，后续又规划了SF2P、SF2X、SF2A和SF2Z等多个节点。目前，SF2的试产初始良率已经达到了预计的30%，三星正投入大量资源，以确保其按时量产。

2025年，是先进制程代工厂交付2nm及以下工艺的时间点。2025年，2nm是全球半导体产业一大看点。随着时间的推进，2nm工艺“先行者们”的进展如何？

台积电近期表示，2nm工艺技术进展良好，将如期在今年下半年量产，产能在今年年底有望达到5万片，甚至有机会迈上8万片台阶。

三星表示，其新一代自研移动处理器Exynos 2600将采用自家的2nm工艺(SF2)代工，目前试产初始良率达到了预计的30%，正投入大量资源，以确保其按时量产。

英特尔在官网上公开了其最尖端的18A工艺的介绍，并称其已经“准备就绪”。

日本晶圆代工初创企业Rapidus表示，其2nm晶圆厂建厂进度顺利，将在4月1日开始试产2nm，2027年开始量产。



技术方面，三星的2nm工艺继续沿用了全环绕栅极(GAA)设计，三星表示，传统的FinFET(鳍式场效应晶体管)技术逐渐暴露出局限性，如短沟道效应加剧，导致漏电现象增加，进而影响芯片的性能和能效。而在GAA技术中，栅极能够从四个方向包围沟道，相较于传统FinFET技术的三栅极结构，这种全环绕的设计极大地增强了对电流的控制能力。当晶体管尺寸缩小时，GAA技术可以有效地减少漏电现象，确保芯片在低功耗下稳定运行。

除了GAA技术，三星在2nm芯片中还采用了BSPDN(背面供电)技术，这一技术的应用同样为芯片性能的提升带来了诸多好处。专家表示，在传统的芯片设计中，供电网络位于芯片正面，随着晶体管数量的不断增加和尺寸的缩小，正面的布线空间变得越发拥挤，布线堵塞问题日益严重，这不仅增加了电阻，导致功率损耗增加，还限制了芯片性能的进一步提升。

三星的BSPDN技术则将供电网络转移到芯片背面，有效解决了布线堵塞问题。该技术的原理是在芯片制造过程中，通过特殊的工艺在芯片背面构建供电网络，并利用硅通孔(TSV)技术实现正面晶体管与背面供电网络的连接。这样一来，芯片正面就有了更多的空间用于信号布线，降低了信号传输的干扰，提高了信号传输的效率，还能显著提升芯片的性能和能效。

三星认为，公司的2nm工艺与前代工艺相比，其计算性能得到了显著提升。以三星自家的Exynos系列芯片为例，采用2nm工艺的Exynos芯片在运行复杂的AI算法和大数据处理任务时，运算速度相比上一代采用3nm工艺的芯片提高了12%；在运行速度方面，在智能手机中，搭载2nm芯片的手机在打开各类应用程序时，速度明显加快，应用的启动时间平均缩短了30%左右。

此外，三星官方数据显示，采用2nm工

艺后，晶圆的利用率提高了约20%，有效降低了芯片的制造成本，使得三星在市场竞争中更具价格优势。

尽管三星2nm芯片在技术层面取得了显著突破，但三星始终面临着良率不足50%的困境，甚至有报道称，三星目前试产的2nm芯片良率仅在10%~20%之间。而且，良率问题不仅影响了三星2nm芯片的生产效率，还增加了生产成本。由于大量芯片在生产过程中出现缺陷，无法达到合格标准，导致资源浪费和成本上升。

为了提高良率，三星采取了一系列措施。三星董事长李在镕亲自拜访了ASML和蔡司等主要设备供应商，寻求工艺和良率改进的解决方案。然而，目前这些努力尚未取得显著成果，良率提升仍面临诸多困难。

## 英特尔：

### 性能担当，不顾处境坚持博弈

英特尔最近经历了诸多难事，其代工业务的技术停滞更是被人诟病已久，“牙膏厂”的名号在外甚是响亮。甚至近期有消息称，台积电已向英伟达、AMD和博通提出，考虑入股一家合资企业，来负责运营英特尔的代工厂。

但英特尔这个老将并没有束手就擒，英特尔前任CEO基辛格曾十分硬气地表示，英特尔的18A工艺是业界最先进的，优于台积电的2nm工艺技术，并且最快于2025年上半年就能实现量产。

英特尔官网的资料显示，与Intel 3工艺节点相比，其18A工艺的每瓦性能提高15%，芯片密度提高30%。提升的主要原因在于英特尔18A工艺技术拥有两大核心技术，分别是RibbonFET晶体管技术和PowerVia电源传输技术。

RibbonFET晶体管技术是英特尔对

Gate All Around (GAA) 晶体管技术进行的一次创新，这也是自2011年英特尔率先推出FinFET技术以来，在晶体管架构领域的又一次重大变革。据了解，RibbonFET晶体管实现了栅极对晶体管沟道的全面环绕。这种全环绕栅极的结构带来了诸多优势。

从空间利用效率来看，RibbonFET晶体管沟道采用垂直堆叠的方式，相较于传统FinFET晶体管的水平堆叠，减少了晶体管在芯片上所占据的空间。这使得在相同面积的芯片上，可以集成更多数量的晶体管，进一步提高了芯片的晶体管密度，为芯片性能的提升提供了硬件基础。

在性能提升方面，栅极对沟道的全面环绕增强了对电流的控制能力。无论是在高电压还是低电压环境下，RibbonFET晶体管都能够提供更强的驱动电流，使得晶体管的开关速度得到提升。这意味着芯片在处理各种数据和指令时，能够更加迅速地响应，从而提高了整个芯片系统的运行速度和效率。在运行复杂的人工智能算法时，RibbonFET晶体管技术能够使芯片更快地完成矩阵运算等关键操作，缩短了模型训练和推理的时间。

而PowerVia电源传输技术是业界首个背面电能传输网络，与三星的BSPDN(背面供电)技术异曲同工，通过将电源传输网络转移到芯片的背面，成功地解决了在传统的芯片制造工艺中，随着芯片晶体管密度的不断增加，电源线和信号线在正面的布线变得越来越拥挤的难题。

据专家介绍，在PowerVia技术的实现过程中，首先按照传统工艺制造晶体管和互连层，然后将晶圆进行翻转并打磨，露出连接电源线的底层。接着，在芯片的背面构建用于供电的金属层。这样一来，电源线和信号线被分离开来，芯片正面可以专注于信号传输，而背面则负责电源传输。这种全新的

供电方式带来了多方面的优势。由于供电路径更加直接，减少了电源在传输过程中的电阻和电感，从而降低了电压。

英特尔的测试结果显示，PowerVia技术能够将平台电压下降优化30%以上，而使用PowerVia设计的英特尔能效核实现了6%的频率增益和超过90%的标准单元利用率，可以让芯片在运行时获得更加稳定和高效的电源供应，有助于提高芯片的性能和稳定性，减少了电源线和信号线之间的干扰，提高了信号传输的质量。

研究机构TechInsights测算得出，英特尔18A工艺的性能值为2.53，台积电2nm工艺的性能值为2.27，三星SF2工艺的性能值为2.19，这让业内对英特尔18A工艺技术的期待值拉满。英特尔如今已经在低谷中挣扎，能不能破釜沉舟拿下一局，至关重要。

## Rapidus：

### 潜力新人，承载多方期待

日本很早就退出了提高半导体集成度的微型化竞争，目前日本工厂最多只能生产40nm的通用半导体产品。但近两年，随着人工智能等领域的爆发，日本政府也开始尝试进入先进工艺领域来分一杯羹。

2022年8月，日本政府集结了丰田、索尼、日本电气、铠侠、三菱日联银行等8家日本本土大企业，共同筹办了Rapidus公司，目标也十分宏伟，计划在2027年量产2nm芯片，实现从40nm到2nm的飞跃。这可是台积电、三星等行业巨头凭借多年的技术积累和巨额的研发投入，用了超过10年的时间才实现的技术突破。因此，这一目标也被日本视为未来重新成为“芯片强国”的关键。

对于Rapidus来说，日本政府已经给予了非常多的支持，计划在2025年下半年，向Rapidus公司出资1000亿日元用作追加购买2027年开始量产所需的EUV光刻机等资金。并且在2025年2月7日，日本政府通过内阁会议决定修订《信息处理促进法》和《特别会计法》，以支持Rapidus等半导体企业加快下一代半导体的量产。但要从建厂开始，想在短短几年内完成2nm的量产，难度可想而知。

技术开发方面，Rapidus选择与早在2021年就成功推出了全球首款采用2nm工艺芯片的IBM合作，目前已经在GAA技术的应用上取得了突破。通过引入两种不同的选择性减少层(SLR)工艺，保证了芯片在低电压环境下的高性能。这一工艺改进不仅简化了生产流程，还提升了良率，为大规模生产打下了基础。

除了IBM，Rapidus还与比利时微电子研究中心(IMEC)达成了技术合作，进一步拓宽了技术研究的视野和资源渠道。通过派遣员工参与IMEC的研究项目，让Rapidus能够及时了解 and 掌握半导体领域的最新研究成果与技术趋势，为自身的2nm技术研发提供更多的思路和方法。

此外，在2024年12月，Rapidus从ASML获得第一台EUV机器。Rapidus社长小池淳义近日在演讲会上宣布，公司首座晶圆厂IIM-1的建设进展顺利，已经安装了超过200台设备，Rapidus计划在2025年4月1日启动2nm GAA制程试产。有报道称，Rapidus将与博通合作，计划在2025年6月向博通提供试产芯片。除了博通，Preferred Networks也委托Rapidus代工2nm芯片，用于生成式AI处理。

可以看出，当下Rapidus的势头很猛，潜力很大，但IBM的2nm芯片技术目前还只是实验室产物，转化为批量生产的芯片工艺仍存在诸多技术难题，而且Rapidus作为“新人”，底蕴不足，能否试生产成功，马上4月就能见分晓了。

## 产业观察

# 为何业界要拥抱2nm?

许子皓

在半导体行业的发展历程中，工艺的进步始终是推动行业前进的核心动力。近年来，人工智能、物联网、大数据等领域的蓬勃发展，对芯片的要求越发严苛，行业越来越期盼更高性能、更快运算速度、更低能耗的芯片，但芯片存在物理极限，只有不断地精进工艺才能打破桎梏。

2nm工艺相比现有的3nm工艺，在晶体管密度、性能和功耗方面都有着显著的优势，2nm工艺可以使芯片的晶体管密度

提高约45%，性能提升约15%，意味着芯片可以在更小的面积内实现更多的功能，进而提升芯片的运算能力。在智能手机中，更高的晶体管密度可以让芯片更快地处理各种数据，无论是运行多个应用程序，还是进行复杂的图形处理，都能更加流畅。在人工智能领域，大量的晶体管可以支持更复杂的神经网络运算，加速模型的训练和推理过程，这对于推动人工智能、高性能计算、物联网等领域的发展具有重要意义。

在功耗方面，2nm芯片同样表现突出，比3nm工艺的功耗降低了约30%。高功耗

不仅会导致设备的续航能力下降，还会产生大量的热量，影响设备的稳定性和使用寿命。2nm芯片的低功耗特性，可以延长智能手机的电池续航时间。对于数据中心这样的大规模计算场景，大量服务器产生的能耗是一个巨大的成本，采用2nm芯片的服务器，可以在降低能耗的同时，提高计算效率，节省能源成本。

更小的工艺使得芯片的体积可以进一步缩小，这对于那些对空间要求极高的设备，如可穿戴设备、物联网传感器等来说至关重要。更小的芯片面积不仅可以让设备

的设计更加紧凑，实现更加小型化、轻量化的设计，还可以降低生产成本。在生产过程中，同样大小的晶圆可以切割出更多的芯片，从而提高生产效率，降低单个芯片的成本。

正是由于2nm芯片具备如此卓越的性能优势，全球各大芯片制造商都纷纷投身于这场激烈的技术竞赛中。尽管各大企业2nm量产目前面临着诸多挑战，但势必都会在今年交出答卷，推动半导体行业进入一个新的发展阶段，也让整个产业进入革新期。