



图为CFET示意图

下一代晶体管技术初现端倪

本报记者 沈丛

在刚刚落下帷幕的2023年IEEE国际电子器件会议(IEDM2023)上,台积电、三星和英特尔各自秀出了自己在下一代晶体管结构领域的最新技术。被称为“互补场效应晶体管(CFET)”的晶体管结构,被视为1nm以下制程的关键要素,是继FinFET和GAA之后的新一代晶体管技术。它的出现,将为半导体行业带来哪些不一样的图景?

CFET将开启

三维晶体管结构新纪元?

据了解,CFET与此前晶体管结构的最大不同之处在于,采用晶体管垂直堆叠结构,这或将开启三维晶体管结构新纪元。

业内人士介绍,在FinFET和GAA架构出现以前,芯片晶体管结构采用的是平面MOSFET,这种结构可以通过等比例缩小器件尺寸来提高器件性能,增大芯片上器件数量。但是,当沟道长度小于一定值时,栅极对于沟道的控制能力就会下降,出现短沟道效应。为了解决这个问题,业界提出了FinFET和GAA两种新型晶体管结构。前者通过将沟道向上延展形成立体结构,后者采用栅极环绕沟道的结构来解决在关断状态下的漏电和晶体管阈值随栅长变化带来的问题,也使得晶体管能够在更小的空间内实现更佳的性能。

然而,由于晶体管结构从平面转换到了立体结构,难以继续通过等比例缩小晶体管尺寸来增加芯片上的器件密度。随着摩尔定律的不断前行,芯片制程也越发接近物理极限,为了能够进一步增加单位面积上的器件数量,业内开始尝试将原本的立体结构晶体管再行堆叠,提出了采用垂直堆叠结构的CFET。

台积电最新资料显示,采用CFET垂直堆叠架构的芯片,相较采用Nanosheet(GAA)架构的器件,面积最多能缩小50%。

三大厂商

集体公布CFET相关技术进展

基于此,先进制程的三大头部企业台积电、三星、英特尔都在密切关注CFET相关技术。

台积电指出,CFET晶体管现已在台积电实验室中进行性能、效率和密度测试,并已经实现了48nm的栅极间距。此外,台积电还介绍了在CFET晶体管方面独特的设

计和制造方法:在顶部和底部器件之间形成介电层,以保持它们的隔离,这种设计可以减少漏电和功耗。为了进一步实现更好的性能和更高的集成度,台积电在其CFET晶体管工艺中尝试将纳米片中硅和硅锗的交替层进一步隔离。例如,台积电通过特定的蚀刻方法去除纳米片中的硅锗材料,从而释放硅纳米线。为了能将纳米片中硅和硅锗的交替层进一步隔离,台积电使用了锗含量异常高的硅锗。这种材料比其他SiGe层蚀刻得更快,因此可以在释放硅纳米线之前构建隔离层。

三星将CFET晶体管结构称为3DSFET,目前的栅极间距为45nm/48nm。在技术创新方面,三星实现了对堆叠式PFET(P沟道场效应管)和NFET(N沟道场效应管)器件的源极和漏极进行有效的电气隔离。这种隔离可以有效地减少漏电流,提高器件性能和可靠性。此外,三星还通过将湿化学物质的刻蚀步骤替换为新型干法刻蚀,以此让芯片中CFET器件的良率显著提升。

英特尔展示了将CFET晶体管结构与背面供电技术相结合的新技术,并利用该技术实现了60nm的栅极间距。英特尔表示,此次在CFET方面的创新之处,在于将PMOS(P型金属氧化物半导体)和NMOS(N型金属氧化物半导体)结合在了一起,使得开关速度和驱动能力具有互补性,从而提升了晶体管的整体性能。将PMOS和NMOS与其PowerVia背面供电器件触点相结合,以此更好地控制电流的流动,提高电源效率。

虽然三家厂商均未透露将在哪个制程节点中采用该晶体管结构,但公开资料显示,台积电或将在其2032年量产的A5工艺中采用CFET架构。

平衡成本和性能问题是关键

CFET结构初露端倪,让业界看到了晶体管结构新的发展前景。然而,业内专家预估,CFET结构需要7~10年才能投入商用。

为何不能短时间内在现有的芯片制程中采用三维晶体管结构?业内人士告诉《中国电子报》记者,目前CFET制程需要解决多层堆叠带来的大量的技术挑战。

目前,CFET拟采用的工艺路径是一次外延生长PFET和NFET两种器件的多层结构,再分别在两种外延层上制造FET。这大幅增加了器件制造的工艺复杂度,过去在FinFET和GAA中行之有效的工艺方法大部分不再适用。以FET源漏模块为例,不能再采用离子注入工艺对源漏进行掺杂,需要用杂质在外延的办法把掺杂元素带到源漏区附近,再扩散行成掺杂。这些改变,需要从开发新工艺,并逐渐使之成熟。类似的改变还有很多,需要大量和长周期的工艺研发,才能解决存在的全部技术挑战。

在CFET所需要的新工艺中,多层堆叠热退火问题是面临的最大挑战之一。据了解,半导体材料在晶体生长和制造过程中,由于各种原因会出现缺陷、杂质、位错等结构性缺陷,导致晶格不完整,施加电场后的电导率较低。通过热退火处理,可以使材料得到修复,晶格内部重新排列,去除大部分缺陷和杂质,恢复晶格完整,提高电导率和电学性能。

业内人士表示,半导体热退火需要在1050°C的高温下进行,在进行热退火操作后,还需要在芯片内部用铜和铝等金属进行互联。在以往的非堆叠晶体管结构中,仅进行一次热退火即可,而在堆叠结构中,每堆叠一层就要再进行一次热退火。此外,芯片内部的很多金属互联材料难以在1050°C的高温中保持稳定。这也导致在第二层晶体管结构中,无法采用传统方式来进行整体的热退火,需要采用激光进行局部退火从而有效避开金属连接处。而采用激光退火不仅会增加工艺难度,还会因设备价格高而提升整体芯片的制造成本。

“这就好比原本用毛笔写的字,现在要用签字笔来写。字的大小没变,但需要用签字笔一点点地描绘。因此,采用CFET结构的芯片,需要先解决用激光进行热退火带来的成本问题,才能加快商用的步伐。”该人士对《中国电子报》记者说道。

长电科技CEO郑力:

半导体封测市场将在2025年迎来明显上升

本报记者 沈丛

随着摩尔定律步伐放缓,半导体产业正面临着变革与挑战。作为后摩尔时代的关键技术环节,封测技术的作用越发凸显。封测行业将在2024年有哪些新的发展趋势?有哪些新的封测技术路径值得关注?针对这些问题,《中国电子报》记者近日专访了长电科技CEO郑力。

封测产业“乍暖还寒”

郑力预计,封测产业2024年“乍暖还寒”,2025年或2026年将迎来较明显的市场上升。

首先,封测产业的市场增长,得益于消费电子的回暖以及存储市场的助推。郑力表示,随着数据中心的扩张和云计算的普及,存储市场呈现大幅增长,将成为封测产业复苏的“推手”。

此外,封测产业的回暖也得益于后摩尔时代的不断趋近。郑力认为,随着芯片制程接近物理极限,未来芯片产业需要封测技术扛起性能提升的大旗。这在助推封测市场需求的同时,也对封装技术的多样化提出要求。

“对于封测市场回暖、技术种类增多的现状,无论是封测企业还是晶圆厂,都会面临很多挑战,仅凭一己之力也难以解决。因此,未来需要各大封测企业和供应链企业加强合作,共同解决难题。”郑力说道。

绿色可持续发展成为关注焦点

封测工厂在生产过程中使用多种高精度的测试设备和控制系统,消耗大量电力、热能等能源。随着封测产业逐渐回暖,工厂利用率逐渐提升,绿色可持续发展成为封测企业的关注焦点。

郑力认为,在当今绿色发展的大背景下,封测作为高耗能、高消耗资源的产业,绿色发展已不再是一个口号,而是必须面对和解决的紧迫问题。

“绿色可持续发展不仅是企业的社会责任,更是整个产业未来5-10年必须面对的生产技术革新问题。对于封测企业而言,实现绿色可持续发展能有效地降低生

产成本,优化资源配置,提高经济效益。”郑力说道。

据了解,为了降低能源消耗,封测工厂需要采取一系列的节能措施。例如,优化生产流程、采用节能设备、加强能源管理等。郑力认为,为了降低能源消耗,封测厂不仅需要自身的努力,更需要与供应链合作伙伴携手,通过共同分析、优化生产流程和提高能源利用效率,实现可持续生产。

宽禁带半导体封装值得关注

随着绿色可持续发展概念的不断普及,宽禁带半导体也展现出了巨大的市场增长潜力。

郑力认为,新能源汽车、光伏发电等绿色能源产业的发展,给宽禁带半导体功率器件的应用落地提供了良好契机。要保证宽禁带半导体器件性能的稳定可靠,离不开先进的封装技术。

以5G射频技术为例,为了实现5G的高带宽、高速率和低延迟特性,产业界在5G射频技术中大量采用了氮化镓、碳化硅、硅基氮化镓等宽禁带半导体器件。这也意味着需要用更先进的封装技术,将不同物理特性的宽禁带半导体元器件整合在一起并实现信号的高速、低延迟传输,以此发挥出宽禁带半导体的最大能效。“虽然技术难度很高,但这也是提升5G以及未来6G、Wi-Fi6、Wi-Fi7等信号传输效率的关键。”郑力说道。

在新能源汽车和充电桩场景中,大功率快速充电需求对碳化硅器件的性能提出了更高要求。封装技术能够从散热性能、电力传输效率、集成化与小型化、可靠性和制造成本等方面提升器件性能,更好地满足大功率、高温和快速充电的需求。

此外,传感器也是宽禁带半导体的主要应用领域之一。随着传感器在智能手机等设备中的广泛应用,如何实现传感器的小型化、高性能,并保证其可靠性和稳定性,是业内关注的焦点。以上要求可以通过优化封装工艺实现,例如,采用先进的微型化封装技术来缩小芯片尺寸并降低功耗。

部分存储器价格仍有上调空间

本报记者 姬晓婷

未来是否涨价存在两说

近期,记者观察到,存储器市场似乎出现了一种有些奇怪的现象:一方面,存储器原厂频频发出涨价函,最高涨幅甚至达到55%;另一方面,现货市场价格不温不火,2023年12月至今存储器价格变化不明显,甚至个别产品还有下降趋势。长期以来,用量大的存储器产品被认为是观察半导体行业市场变化的晴雨表。2023年9月底以来的存储器价格回暖一度提振了半导体市场信心,但近期存储器现货市场的价格表现,又给大家的信心泼了一盆冷水。

存储器市场究竟是否回暖?半导体下行周期究竟何时结束?

原厂年底抛货压低现货价格

存储器合约价高涨与现货市场冷淡同时出现,与存储器市场的定价机制有关。

业内人士表示,存储芯片合约市场与现货市场是并行的两条线。在存储芯片行业寡头垄断的情况下,三星、美光等芯片原厂对存储器产品的定价权很大。今年第三季度,多家存储器企业下调了产能利用率,导致存储器价格回升,该行为也传导到存储器现货市场当中。由于存储器现货市场存在很多非合约的渠道商,很多产品是渠道商在价格较低的情况下购入的,且原厂对于此类渠道商产品没有定价权,这便给存储器现货市场提供了低价货源。

近日,DRAM芯片现货价格整体出现小幅下跌,记者从集邦咨询了解到,这是由于年底存储器原厂释放了部分现有库存到现货市场等因素导致的。这也就导致了存储器市场呈现出原厂出货价高于现货市场价格这种“倒挂”的现象。

今年第三季度,存储器原厂降低产能利用率的行为在一定程度上抬高了存储芯片的市场价格,部分存储芯片涨幅约为10%~15%。但价格相较于存储器大降价前的水平仍有很大空间。

关于存储芯片价格的未来趋势,记者了解到两种预判。

第一种观点认为,调价行为主要由存储芯片原厂主动操作带来,市场需求的回弹幅度有限,因此价格变化程度有限。国内某代理商对记者表示,目前从客户下单的情况来看,没有看到市场明显回暖的迹象。

第二种观点认为,部分存储器产品价格有上调空间,但不同从业人士对价格上调产品类型的判断有所区别。芯谋研究分析师李国强在接受《中国电子报》记者采访时表示,PC、手机两大产业没有看到比较明显的大幅上涨迹象,这两类产品不太存在需求远大于供应的状况,如果此类产品价格上调,更多的是存储器原厂宣传的结果。李国强认为,在AI产业的推动下,用于数据中心的HBM产品供应相对紧张,此类存储器涨价比较合理。

另外也有分析师对手机存储器的价格上涨表示乐观。集邦咨询预测,2024年第一季度移动DRAM及NAND Flash均价涨幅将扩大至18%~23%,且不排除供应商寡头竞争格局及客户追加订单情况下进一步抬高涨幅的可能。半导体行业分析师张先扬在接受《中国电子报》记者采访时表示,当前手机终端有积极补货的现象,他同时认为用于手机的存储器产品将有望实现价格上涨。

ASML首个High-NA EUV光刻系统花落英特尔

本报 记者张心怡 实习记者赵宇彤报道:近日,荷兰半导体设备制造商ASML表示,已向英特尔交付首个High-NA(高数值孔径)EUV(极紫外)光刻系统。据悉,High-NA EUV光刻机需要13个货柜、250个板条箱进行运输,预计于2026年或2027年投入商用芯片的制造。

早在2023年9月,ASML就公开表示将于2023年年底推出业界首款High-NA EUV光刻机,High-NA EUV光刻机的数值孔径提升至0.55,可以成比例地提高可实现的临界尺寸——从0.33NA系统的13nm提升到0.55NA系统的8nm,从而进一步提升光刻分辨率,以支持2nm制程及以下制程的芯片制造。因此,High-NA

EUV光刻机被业界视为实现尖端芯片量产的关键设备。

记者从ASML官网获悉,ASML组装了两个TWINSCAN EXE:5000高数值孔径光刻系统。其中一个由ASML与imec合作开发,将于2024年安装在ASML与imec的联合实验室中,预计2025年投入量产。另一个由英特尔在2018年订购,时隔5年完成交付。

2023年12月15日,英特尔发布了首款基于Intel 4制程打造的初代酷睿Ultra移动处理器,这也意味着英特尔“四年五个制程节点”的目标正在按照计划推进。2021年,英特尔正式提出“IDM 2.0”战略,宣布加大对先进制程和晶圆厂建设的投资力度,打造世界一流的英特尔代工服务;同

年,英特尔公布“四年五个制程节点”计划,预计在四年内完成Intel 7、Intel 4、Intel 3、Intel 20A和Intel 18A五个制程节点的开发,力争在2025年重新确立在半导体行业的领先地位。在Intel 4实现量产,英特尔计划在Intel 3节点进一步增加对EUV技术的使用,以实现约18%的每瓦性能提升。Intel 20A和Intel 18A预计在每瓦性能上分别较上一个节点提升约10%。

据了解,英特尔会将High-NA EUV光刻设备应用于Intel 18A工艺的开发和验证中。英特尔在关键设备取得先手优势,使其在与台积电、三星围绕先进制程的竞争中获得了更多筹码。但2nm及以下制程代工格局的走向,还要看三大厂商在后续的量产和良率提升中有何表现。