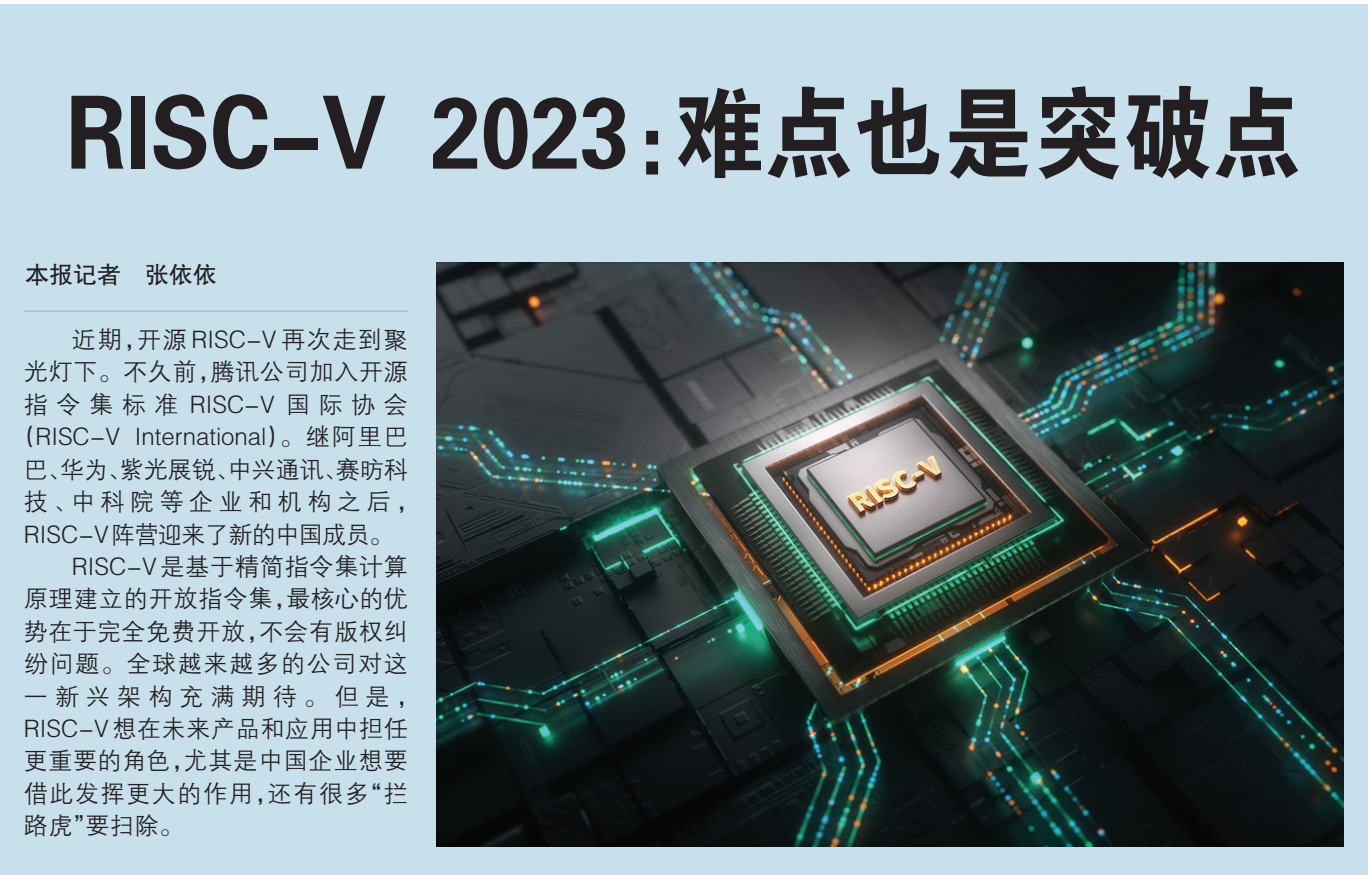




需跨越从原型到产品的“死亡之谷”

从加利福尼亚大学伯克利分校的一个实验室中翩然起步，如今RISC-V已经诞生了十年有余。这个每每被谈及，必与x86、ARM相提并论的新兴指令集架构，正在物联网、云端等更多应用场景中发挥潜能，吸引了众多企业纷纷布局。IP厂商Imagination在2022年夏季推出了首款商用RISC-V内核，用于片上系统(SoC)设计；英特尔2022年2月宣布正式加入RISC-V国际协会，并且投资4亿欧元与西班牙超算中心合作，计划在10年内开发出基于RISC-V的超算CPU；谷歌将为RISC-V芯片推出新的开源操作系统。

在与ARM的“专利战”爆发后，高通对RISC-V的布局更加积极。高通产品管理总监Manju Varma表示，高通已经基于RISC-V打造了许多产品，截至2022年年底，采用RISC-V架构的高通芯片出货量已经超过6.5亿颗。目前，高通的PC、移动设备、可穿戴设备、联网汽车以及AR/VR头显的SoC中都使用了RISC-V微控制器。据市场调研公司Semico Research预测，到2027年，市场上将有250亿个基于RISC-V的AI SoC，预计同年收入将达到2910亿美元。

RISC-V于2017年进入中国产业界，赛昉科技是第一批投身RISC-V发展的国内企业，对RISC-V理解颇深。

“截至2022年末，我国大约有50款不同型号的国产RISC-V芯片量产，应用场景集中在MCU、电源管理、无线连接、存储控制、物联网等中低端场景。”赛昉科技资深销售总监周杰对《中国电子报》记者表示，我国的RISC-V技术落地已渡过了初级阶段。但需要看到的是，RISC-V在国内产业化和商业化道路上，仍面临两大“拦路虎”。

周杰认为，RISC-V将走向开放应用场景，建立成熟的软件生态将是RISC-V在开放应用场景落地的最大挑战。目前量产的芯片，大多用在相对封闭的应用场景，软件需求相对简单和固定，芯片原厂就能实现70%的软件。到了开放应用场景，软件需求会呈指数级增长，例如各种操作系统的移植，中间件和库函数的优化，以及各种开发框架的适配等，每一个技术点都是巨大的工程，必须联合芯片原厂、第三方软件公司、开源社区一起合作全力投入。

第二大挑战与RISC-V将向高性能应用场渗透有关。周杰表示，中高端RISC-V芯片从设计方案，到流片成功、定制开发，再到大规模量产，最终完成销售，需要极其强大的人力和财力的支持。对芯片公司来说，组建一个具备高端芯片设计、研发、销售能力的端到端的完整团队十分重要，而国内高端芯片人才紧缺，芯片公司抢人之风盛行，十分不利于团队的组建。另外，初创的RISC-V芯片公司需要大量的资金维持研发需求，在半导体投资遇冷的背景下，他们的发展也并不容易。

事实上，所有指令集都需要经历从原型到产品的“死亡之谷”。在北京开源芯片研究院助理院长唐丹看来，这个阶段的问题并不完全是技术上的，其实重点还是在市场牵引。如果没有市场牵引，仅靠单方面的技术迭代，无论是技术上还是时间周期上都有很高的难度。

“RISC-V产业化目前的难度还是在于没有找到明确的市场切入点，也就是‘杀手级’应用场景。”唐丹以ARM为例对记者表示，在移动端生态出现的前几十年，ARM的发展也较为缓慢。目前，

RISC-V在软件生态链较短的IoT应用场景，特别是需要根据应用场景定制的市场，已经有广泛的应用。但一个生态真正成熟还是要靠高端生态牵引。RISC-V要实现可靠和高质量的商业化，一方面需要不断完善RISC-V指令集的标准规范，另一方面还需要找到明确应用场景，产生可以进行技术迭代的机会。

高性能RISC-V处理器需与基础软件同步研发

“当前，RISC-V指令集的软件适配工作的进展速度已经非常快，这与RISC-V指令集开放免费的优势被全球软件开发开发者看好有直接关联。”唐丹对记者表示，目前，绝大部分核心基础软件已经完成与RISC-V指令集的适配。例如2019年以来，16,268个Debian操作系统软件包中已有15,148个完成与RISC-V指令集的适配，适配率已超过95%。RISC-V已经成为Debian支持的Tier-1架构，仅次于x86和ARM。

有观点认为，向高性能发展RISC-V，会面临来自处理器性能和软件适配方面的技术挑战。对此，唐丹向记者指出，处理器的性能和稳定性并不矛盾。一方面，要在处理器的设计中加强验证工作可以提升稳定性。另一方面，处理器的稳定性还要经过市场检验，在使用过程中发现潜在问题。

“高性能RISC-V处理器需要与基础软件同步研发，才能更好地与基础软件进行适配。在处理器不同研发阶段就引入基础软件的测试和验证，一方面能发现处理器设计中的功能问题，另外还能在处理器设计中对性能进行评估，并进行针对性改进。”唐丹说。

软件生态是RISC-V在高性能应用领域落地的关键。周杰认为，高性能的芯片若要实现落地，一定要与RISC-V底层框架、操作系统、中间件、关键库、应用软件全方位适配。目前，赛昉科技与OpenHarmony、Fedora、OpenEuler、OpenSUSE、Ubuntu、麒麟、统信等开源社区和第三方伙伴合作，积极推动RISC-V与基础软件适配。

RISC-V如今已跃入高性能计算元年。在RISC-V高性能计算领域，已有多家创新企业计划在2023年发布类似64核高性能的服务级处理器，这将成为RISC-V下一个令人激动的里程碑。

不过，RISC-V在高性能计算的应用上还面临一些亟待解决的问题。在澎峰科技联合创始人兼首席运营官王军辉看来，RISC-V体系需要构建一套数学计算库，以支持RISC-V在高性能计算上的应用，保证计算精度、计算效率与源代码级安全可靠。

在算力驱动的数字经济时代，计算硬件呈现出多样性的特点。RISC-V因其开放性，比x86和ARM的生态更加丰富多样，会导致严重的碎片化问题。基于此，王军辉认为，RISC-V应回归到垂直整合的思路上来，要去思考如何前瞻性地理解应用。

“从计算语言到编译器，到底层数学计算库，再到计算机体系结构，RISC-V要在多个方面实现垂直整合。存量市场只有赤裸裸的性价比竞争，瞄准增量市场才有跨越式发展的可能”王军辉对记者说。

全球异构计算领域，英特尔、英伟达和AMD形成了互相制衡的“三足鼎立”格局。王军辉说，当前，国际三大领先企业凭借雄厚的资本与实力各自为战，都在整合CPU、GPU和FPGA等异构计算硬件平台，布局CUDA、OneAPI和ROCm异构计算软件栈，试图形成自己的软硬融合生态体系，展开封闭和开放

生态之争。在此情况下，RISC-V要解决异构生态问题，在构建高性能异构计算软件栈的同时，实现软硬融合。

构建可持续生态是核心考题

从使用开源到参与开源，再到走向贡献开源甚至部分主导开源，中国在RISC-V开源领域有了更深、更广的尝试。中国工程院院士廖湘科指出，开放开源是软件根技术创新，特别是发展操作系统这类基础软件的重要途径，充分利用开源，联合开发者、社区、软硬件上下游产业链企业，共同发展壮大国产操作系统产业是当前最有效的路径。

“我国企业积极自发参与RISC-V国际协会，说明大家已经看到RISC-V指令集生态的前景，对我国和全世界RISC-V生态都有极大的帮助。”唐丹对记者表示，在RISC-V指令集生态建设过程中，我国参与3GPP组织和5G移动通信类似，我国一方面要积极参与RISC-V国际协会，推动、参与甚至主导相应标准规范制定工作；另一方面要加强产品研发和推广工作，充分发挥我国人口多、市场大、工程师多和产业政策灵活的优势，在市场中积极应用和推广RISC-V生态，加快RISC-V产业生态的成熟进程。

放眼RISC-V，由于诞生时间较短，RISC-V在中国本土市场，相关编译器、开发工具和软件开发环境及其他生态要素还在积极建设当中。此外，RISC-V早期的发展大多在国外，因此国际协作至为关键。要让RISC-V持续良性向前发展，显然还需要更多生态伙伴的参与和配合，如何构建一个可持续的生态是摆在RISC-V面前的一道核心考题。

唐丹认为，编译器、开发工具和集成开发环境(IDE)及其他生态要素，在很大程度上属于基础共性技术。我国在完善RISC-V生态的过程中，需要对这些基础共性技术进行梳理，组织企业间的合作共享要对这些基础共性技术进行联合攻关，避免企业的重复性研发，减少资源浪费。

中国本土的RISC-V编译器、开发工具、IDE与其他生态建设，离不开有投入意愿的企业和人才。但需要看到的是，目前相关企业 and 人才其实存在缺失。

针对缺少有投入意愿企业的问题，周杰进一步表示，编译器、开发工具、IDE等RISC-V配套生态很难做出高营收、高估值公司，因而很难受到资本青睐，融资困难让很多有能力的人选择继续在国际大公司从业而放弃创业。此外，国内尊重软件版权的意识还需要提升，再加上RISC-V有不少开源工具可以直接使用，因此部分企业选择直接使用开源工具，或者基于开源版本自己做优化。

对此，周杰建议，在政策层面，政府和相关国家机构尽快牵头推动RISC-V开源指令集成为行业标准，并鼓励国内相关企业参与标准规范的讨论与制定，同时，继续完善法律，为知识产权创造一片更为安全的土壤；在生态建设层面，国家应引导和鼓励产学研生态合作，出台具体的扶持政策、措施，鼓励、支持RISC-V相关企业参与到完善开源软件生态中；在资本层面，国家可以多扶植相关的软件生态公司，从大局的角度进行投资。

谈及人才、编译器、仿真器等开发工具人才培养问题，周杰希望更多学校可以开设相关专业基础教学课程，引入海外优秀教育资源。

最后，周杰认为，国家应当鼓励信创或教育行业的试点项目采购含有RISC-V芯片的产品或方案，以应用需求带动产品迭代和发展。

“小芯片”赛道你追我赶

本报记者 许子皓

1月6日，在2023年美国消费电子展(CES)上，AMD带来了一款重量级产品Instinct MI300，这是AMD首款数据中心/HPC级的APU。AMD董事长兼CEO苏姿丰称它是“AMD迄今为止最大、最复杂的芯片”，共集成1460亿个晶体管，还采用了当下最火的Chiplet(小芯片)技术，在4块6纳米芯片上，堆叠了9块5纳米的计算芯片，以及8颗共128GB的HBM3显存芯片。

无独有偶，1月5日，长电科技宣布，其采用通过Chiplet异构集成技术完成的XDFOI Chiplet高密度多维异构集成系列工艺，已按计划进入稳定量产阶段，正在高性能计算、人工智能、5G、汽车电子等领域应用。

可以看出，经过这两年的“厚积”，Chiplet正呈“薄发”之势，国内外各大企业都在不断突破，为打造完整的全球Chiplet生态体系，争相在小芯片“丛林”中披荆斩棘。

Chiplet将成为未来之选

随着近年来高性能计算、人工智能、5G、汽车、云计算等新兴市场的蓬勃发展，对于算力的需求持续攀升，仅靠单一类型的架构和处理器无法处理更复杂的海量数据，异构正在成为解决算力瓶颈关键技术方向。Chiplet技术被视为异构技术的焦点，也是当下最被企业所认可的新型技术之一。2022年3月，英特尔、台积电、三星、ARM等十家全球领先的芯片厂商共同成立了UCIe联盟，目前联盟成员已有超过80家半导体企业，Chiplet技术的热度被推向高峰，全球越来越多的企业开始研发Chiplet相关产品。Omdia数据显示，到2024年，预计Chiplet市场规模将达58亿美元，2035年Chiplet的市场规模将超过570亿美元，增长态势十分迅猛。

AMD很早便开始投入Chiplet技术开发，2019年发布的7纳米Zen2架构锐龙处理器中，就采用了Chiplet设计，将不同工艺、不同架构的芯片电路按需搭配，实现更加灵活的配置。AMD面向CPU与GPU互联的Infinity架构也在第四代版本中支持AMD IP和第三方小芯片的无缝集成。在GPU领域，AMD面向数据中心图形的CDNA3架构在单个封装中结合了5纳米小芯片，面向游戏的5纳米GPU架构RD-NA3也融入了Chiplet设计，预计每瓦性能提升超过50%。

CES2023上，AMD推出的首款数据中心/HPC级的APU Instinct MI300，采用Chiplet技术，在4块6纳米芯片上，堆叠了9块5纳米的计算芯片。AMD表示，相较于上一代的Instinct MI250，提升了8倍的AI训练算力 and 5倍的AI能效。

其他半导体企业也将Chiplet技术作为重点发展方向。英特尔发布的Ponte Vecchio计算芯片，就采用了3D封装的Chiplet技术，在单个产品上整合了47个小芯片，综合实现了计算、存储、网络多项功能，将异构集成的技术提升至新水平。在2022世界集成电路大会上，英特尔高级副总裁、中国区董事长王锐表示，Chiplet技术将成为未来优化产业链生产效率的必然选择，该技术不但能提高芯片的制造良品率，匹配最合适的工艺来满足数字、模拟、射频、I/O等不同技术需求，还能将大规模的SoC按照不同的功能分解为模块化的芯粒，减少重复的设计和验证，大幅度降低设计复杂度，提高产品迭代速度，为半导体行业打开全新的市场机遇。

而英伟达则发布了一款数据中心专属CPU——“Grace CPU超级芯片”。该芯片由两颗CPU芯片组成，其间通过NVLink-C2C技术进行互连，NVLink-C2C技术是一种新型的高速、低延迟、芯片到芯片的互连技术，与Chiplet技术有异曲同工之妙，可支持定制裸片与GPU、CPU、DPU、NIC、SoC实现互连。英伟达CEO黄仁勋表示，与NVIDIA芯片的定制芯片集成既可以使用UCIe标准，也可以使用NV-Link-C2C。

苹果则与台积电合作开发了UltraFusion封装技术，也是一种类似Chiplet的技术，能同时传输超过1万个信号，芯片间的互连带宽可达2.5TB/s，超出了UCIe 1.0的标准。苹果此前发布的M1 Ultra芯片将两个M1 Max芯片的裸片，采用UltraFusion封装技术进行互连，其CPU核心数量增加至20个，而GPU核心数量更是直接增加至64个。M1 Ultra的神经网络引擎也增加至32核，能够带来每秒22万亿次的运算能力。

(上接第1版)

使命在肩，征程向前；牢记嘱托，续写华章。要全面贯彻新时

国内企业不掉队

Chiplet技术也是中国半导体产业重点发展的赛道之一，阿里巴巴、芯原股份、芯耀辉、芯和半导体、芯动科技、芯云凌、长芯存储、长电科技、芯来科技、通富微电等企业陆续加入UCIe芯片联盟。

长电科技董事、首席执行官郑力在接受《中国电子报》记者采访时表示，Chiplet技术是众多厂商用来在“后道制造”工序中提升集成度的关键。在后道制程，或是集成电路成品制造这个环节中的先进制程技术，并不能改变晶圆本身的线宽线距，而是用所谓的Chiplet技术，即采用异构集成技术把多个小芯片集成在一起，并使其集成的密度及互联的密度更高。

长电科技发布的XDFOI Chiplet高密度多维异构集成系列工艺量产是通过小芯片异构集成技术，在有机重布线堆叠中介层(RDL Stack Interposer, RSI)上，放置一颗或多颗逻辑芯片(CPU/GPU等)，以及I/O Chiplet和(或)高带宽内存芯片(HBM)等，形成一颗高集成度的异构封装体，一方面可将高密度fcBGA基板进行“瘦身”，将部分布线层转移至有机重布线堆叠中介层基板上，利用有机重布线堆叠中介层最小线宽线距2μm及多层再布线的优势，缩小芯片互连间距，实现更加高效、更为灵活的系统集成；另一方面，也可将部分SoC互连转移到有机重布线堆叠中介层，从而得以实现以Chiplet为基础的架构创新，最终实现性能和成本的双重优势。

目前，长电科技XDFOI技术可将有机重布线堆叠中介层厚度控制在50μm以内，微凸点(μ Bump)中心距为40μm，实现在更薄和更小单位面积内进行高密度的各种工艺集成，达到更高的集成度、更强的模块功能和更小的封装尺寸。同时，还可以在封装体背面进行金属沉积，在有效提高散热效率的同时，根据设计需要增强封装的电磁屏蔽能力，提升芯片成品良率。

郑力表示，4纳米封装技术最大的意义在于提升未来的芯片技术，不仅可以通过在前道工序中缩小小芯片本身的线宽线距来达成，还可以通过在后道工序中把芯片“封”得更加精密，来实现芯片性能的提升。这对于芯片后道制作工序而言，是一种考验，但对于集成电路的异构集成技术的发展而言，则是重要的一步。这也验证了未来Chiplet技术和异构集成技术在进一步推动集成电路的高密度集成上，会起到越来越重要的作用。

芯原微电子(上海)股份有限公司董事长兼总裁戴伟民指出，Chiplet将带来新的产业机会：降低大规模芯片设计的门槛；升级为Chiplet供应商，提升IP的价值且有效降低芯片客户的设计成本；增设多芯片模块(Multi-Chip Module, MCM)业务，Chiplet迭代周期远低于ASIC，可提升晶圆厂和封装厂的产线利用率；建立新的可互操作的组件、互连、协议和软件生态系统。芯原微电子提出了IP即小芯片(IP as a Chiplet)理念，旨在以Chiplet实现特殊功能IP的“即插即用”，维持7纳米、5纳米及以下工艺中性能与成本的平衡，缩短较大规模芯片的设计时间并降低风险。

芯和半导体(上海)有限公司创始人凌峰认为，单芯片SoC微缩技术已接近极限，模块化SoC-Chiplets逐渐兴起。目前国内Chiplet还处于起步阶段，从SoC转到Chiplet，EDA企业面临着非常大的挑战。他表示，Chiplet是一个全新的概念，如果直接套用原来的EDA工具很难发挥出Chiplet的真正优势。Chiplet需要一个新的EDA平台，在架构、物理实现、分析及验证等方面都要适应Chiplet的需求，从“系统设计”到“签核”做出重构。

国内封测龙头通富微电具备了Chiplet量产能力。通富微电指出，Chiplet技术可以在提升良率的同时，进一步降低设计成本和风险，有效提升芯片性能。在先进封装方面，公司已掌握Chiplet工艺技术，具备Chiplet芯片产品的封装检测能力，已大规模生产Chiplet产品，同时可以为客户提供晶圆级和基板级Chiplet封测解决方案，并且已为AMD大规模量产Chiplet产品。

据了解，此前AMD的7纳米锐龙5000正是由通富微电负责封测，而他们2022年5月实现的5纳米产品的工艺能力和认证，将拥有更大的市场空间。

作、敬业规范的工作作风。

潮平两岸阔，风正一帆悬。让我们更加紧密地团结在以习近平总书记为核心的党中央周围，全面贯彻习近平新时代中国特色社会主义思想，全面学习、全面把握、全面落实党的二十大精神，增强“四个意识”、坚定“四个自信”、做到“两个维护”，严格对标对表党中央对工业和信息化工作作出的重大部署，全面务实推进，一件一件抓好落地见效，努力开创工业和信息化工作新局面！