

编者按:近日,2021世界半导体大会在江苏南京顺利召开。本届大会以“创新求变,同‘芯’共赢”为主题,进一步聚焦行业发展新动态、新趋势、新产品,提供国际性合作交流平台,促进半导体产业快速发展。本报特摘编开幕演讲及主题论坛演讲嘉宾的精彩发言,敬请关注。



毛军发



吴汉明



郑力



潘晓明



王礼宾

AMD全球高级副总裁、大中华区总裁潘晓明:

## 异构计算 提升芯片算力

本报记者 陈炳欣

随着物理极限的逼近,摩尔定律的进步正在放缓,进一步发展需要新的思路,而异构计算正在成为提升芯片算力的发展方向。在2021世界半导体大会上,AMD全球高级副总裁、大中华区总裁潘晓明指出,虽然通用CPU拥有广泛应用,但其性能提升幅度有限,尤其是面对人工智能、机器学习、深度学习等新兴技术,对算力、性能都有极高要求。异构计算因此兴起,并将成为未来高性能计算发展趋势的关键之一。

半导体市场规模在日益扩大,根据Gartner数据,2020年第四季度全球半导体市场达到4500亿美元,相对于2019年的4190亿美元有非常可观的增长。其中,逻辑芯片市场2390亿美元,几乎占到整个市场的一半以上,存储市场为1230亿美元,其他模拟器件、分离器件、传感器等为880亿美元。

在谈到逻辑芯片的发展趋势时,潘晓明指出,人们正处于数字经济蓬勃发展的时代,尤其是2020年以来,受疫情影响,远程办公、居家学习、居家娱乐等应用进一步兴起,刺激了大数据、云服务的需求,各个行业数字化转型速度明显加快。各种前沿科技正在给人们的生活工作带来翻天覆地的变化。高性能计算、云计算和虚拟化、大数据分析等一系列的应用场景都会带来非常大的工作负载,这背后需要强大的算力支持。就

AMD来看,要使CPU和GPU不断迭代,才能够满足市场对算力持续增长的需求。

在半导体设计的黄金时代,人们可以通过新的制程降低每个晶体管的成本,同时得到性能的提升。然而现在每进入一个新的节点,都需要更长的时间才能保证工艺的成熟和稳定,新制程的成本又在显著增加。这就为人们带来新的挑战,需要探讨在其他方面做出更多的创新才能进一步提升性能和算力。

近年来,AMD不断推动设计优化和平台优化,在微架构方面基于CDNA结构、RDNA结构推进,让每一代CPU和GPU架构都有性能上的提升。在刚刚结束的2021台北电脑展中,AMD展示了最新的3D堆叠封装技术。3D堆叠技术以往用在闪存上,现在AMD把这项技术带到CPU上,将逻辑芯片与3D堆叠技术相结合,实现了超过2D芯片200倍的互联密度,与现有的3D封装解决方案相比密度也可达到15倍以上。

潘晓明还表示,AMD也十分关注Chiplet(芯粒)技术的发展。在传统架构中,往往采取单片的电路设计。2017年,AMD在推出的处理器上采用了Chiplet技术,将4个SoC相互连接。在下一代产品中又通过Infinity技术将8个7纳米Chiplet小芯片和1个12纳米Chiplet I/O相互连接。今后AMD还将继续用Chiplet架构为行业带来领先性能。

芯华章科技董事长兼CEO王礼宾:

## 实现“EDA2.0” 并不遥远

本报记者 张依依

“‘EDA2.0’将不再是一堆工具的组合,而是一个自动化、智能化的流程和服务化、可定制的平台,可以打破创新周期的瓶颈,赋能更高效、更敏捷的应用创新。”芯华章科技董事长兼CEO王礼宾在南京举办的2021世界半导体大会上如是说。

### EDA打破芯片设计与算法鸿沟

王礼宾在此次演讲中表示,当前,新一轮科技革命和产业变革正在突飞猛进地发展,科学研究的范式也在发生深刻变革。系统应用的创新对芯片产生了很多定制化需求,这些需求则是由系统厂商驱动的。“这个时候,芯片设计就变成了很重要的部分。”王礼宾说,“尽管系统厂商掌握了系统,掌握了核心算法,掌握了软件,但芯片设计还是其中跨不过去的一道坎。”在王礼宾看来,未来的数字化系统将是芯片系统、算法、软件的深度融合与深度融合。

为什么系统厂商和互联网公司纷纷下场自己造“芯”?王礼宾指出,这是因为他们在芯片设计环节遇到了瓶颈。“从应用创新开始,有了新想法之后,系统厂商就开始进行算法软件的迭代,对芯片提出需求。”王礼宾表示,下一个阶段,厂商就进入到了芯片的设计、封装、制造环节,最后进入软件硬件的合成阶段,以形成他们想要的系统。

王礼宾表示,芯片设计环节和算法软件环节最大的不同在于,芯片设计是以年为周期,而软件算法能够以周为周期。在当前EDA流程和EDA设计的方法条件下,这些系统厂商不管是选择外包芯片还是自己研发芯片,仍然面临着迈不过去的挑战。

“为了解决这些挑战、打破瓶颈,就要求EDA能打通芯片设计和算法之间的鸿沟,让软件开发更早期地和硬件开发进行协同设计。”王礼宾在演讲中谈道,“要提高设计效率,降低设计成本,也要降低设计难度。这些方面对传统EDA流程、工具和设计方法提出了革命性要求。”

### EDA必须形成有效突破

随着后摩尔时代帷幕的徐徐拉开,针对系统厂商面临的各种需求以及挑战,王礼宾表示,要想满足这些系统厂商不断提出的新需求,芯片设计环节也必须得到有效发展和变革。“芯片设计环节必须改革,尤其是EDA必须支持系统厂商芯片的定制化生产。”王礼宾说,“每个产品都有不同的需求,EDA必须形成有效突破。”

如何形成有效突破?王礼宾指出,首先要填补软件和芯片之间的鸿沟,让系统工程师和软件工程师也能参与到芯片设计中。“我们要用更智能的工具解决设计难度,设计人才、设计周期、设计成本的问题;我们要用智能化的工具和开放的服务化平台缩短从芯片需求到应用创新这个周期。”他说。

在王礼宾看来,当前的EDA是“EDA1.0”,很难担当大任,所以必须发展下一代EDA技术,也就是“EDA2.0”,实现“EDA2.0”并不是梦。“现在的人工智能技术、云原生技术、自然语言技术、异构设计技术和PSS等技术都为实现‘EDA2.0’提供了从底层框架开始的颠覆式创新技术保障。在这个基础上再通过开放的、智能的、与云平台深度融合的关键路径,我相信能早日实现‘EDA2.0’。技术已经在路上,未来并不遥远。”在演讲的最后,王礼宾表达了实现“EDA2.0”的信心。

中国科学院院士毛军发:

## 异质集成将成超越摩尔定律重要路线之一

本报记者 许子皓

近日,世界半导体大会(WSC2021)开幕论坛在南京举行。论坛上,中国科学院院士、上海交通大学党委常委、副校长毛军发发表了题为“半导体异质集成电路”的主题演讲。毛军发谈到,摩尔定律正面临极限挑战,这既是一个转折点,也是一个机遇。

毛军发在演讲中指出,芯片产业目前主要有两条主要发展路线:一是延续摩尔定律;二是绕道摩尔定律。如延续摩尔定律,将面临一系列挑战,分别是物理极限挑战、技术手段挑战、经济成本挑战。而绕道

摩尔定律有很多途径,其中之一就是异质集成电路。

毛军发表示,一些复杂的电子系统用任何单一的半导体工艺都难以实现,而半导体异质集成电路则可将不同工艺节点的化合物半导体器件或芯片、硅基低成本高集成器件芯片,与无源元件(含MEMS)或天线,通过异质键合成或外延生长等方式集成,从而解决这一问题。

毛军发在演讲中指出,异质集成特色很突出:一是可以融合不同半导体材料、工艺、结构元器件或芯片的优点;二是采用系统设计理念;三是应用先进技术,如芯粒(Chiplet);四是具有2.5维或3维高密度结构。其

优点:一是可实现强大的复杂功能、优异的综合性能,突破单一半导体工艺的性能极限;二是灵活性大、可靠性高、研发周期短、成本低;三是采用三维集成,因此能够实现小型化、轻质化;四是对半导体设备要求相对较低,不受EUV光刻机限制。因此,它成为超越摩尔定律的重要路线之一。

毛军发表示,半导体异质集成电路中的特殊集成电路为毫米波异质集成电路,它是国际上半导体异质集成电路发展的重点方向,原因是它能满足很多需求,从5G、6G,到航天、导航等都需要毫米波技术。然而,毫米波异质集成电路的发展

将面临很多挑战。首先是如何解决半导体异质集成电路多物理耦合与演变规律难题;其次是如何解决电特性、应力特性、热特性之间的相互矛盾;再次是由于不同的材料晶格、膨胀系数存在的差异,如何建立异质界面动力学;最后是如何掌握可测性原理。为此,毛军发提出打破集成电路传统“路”的思路,向场演变、结合,进行多学科交叉研究。

毛军发表示,摩尔定律正面临极限挑战,转折点临近,半导体异质集成将成为电子系统集成技术发展的新途径、后摩尔时代集成电路发展的新方向、我国集成电路产业发展的新机遇。

中国工程院院士吴汉明:

## 三大驱动力引领后摩尔时代八大研发方向

本报记者 李佳师

“后摩尔时代的产业技术发展趋缓,创新空间和追赶机会大。”在近日于南京拉开帷幕的2021世界半导体大会上,中国工程院院士、浙江大学微纳电子学院院长吴汉明发表了题为“后摩尔时代的芯片挑战和机遇”的主题演讲。在演讲中,他分析了目前芯片制造领域存在的挑战以及后摩尔时代将为产业发展带来的机遇。

### 芯片制造工艺

#### 面临三大技术挑战

芯片制造工艺在技术层面上面临三大挑战。吴汉明在此次演讲中表示,精密图形是芯片制造工艺的基础挑战。当波长远大于物理尺寸时,物理尺寸的投影会非常模糊,这是人们在中学学到

的光学知识。但现在,集成电路的光刻工程师却能用193纳米的光源曝光出几十纳米的图形,突破了光学的限制。

新材料是芯片制造工艺的核心挑战。本世纪以来,已有60多种新材料陆续进入芯片制造领域,支撑摩尔定律向前发展。在这个过程中,每种材料需经历数千次工艺实验。吴汉明谈道,如果没有新材料,芯片制造的相关技术就无法继续发展。他表示,即使人们能把芯片的尺寸做得很小,但是芯片的性能却无法提升,因为性能的提升主要依靠新材料。“硅、铜等材料能使32纳米芯片的性能得到70%的提升,这一类的技术提升完全是靠新材料的支撑。”吴汉明说道。

良率的提升是芯片制造工艺的终极挑战。吴汉明指出,只有量产且通过一定良率的工艺才能被称为成熟的成套工艺。“良率的提升是所有芯片制造企业最头疼、最困难的挑

战。”吴汉明在演讲中说,“不管先进工艺做得多好,良率上不来,这个工艺就算不上成功。”

### 后摩尔时代的

#### 芯片技术趋势

随着“正常运转”了半个世纪的摩尔定律渐渐失效,后摩尔时代已经悄然而至。

吴汉明在演讲中表示,在后摩尔时代的发展过程中,高性能计算、移动计算、自主感知是三大驱动力,这三大驱动力引领着技术研究的八个主要内容,分别是逻辑技术、基本规则缩放、性能-功率-尺寸(PPA)缩放、3D集成、内存技术、DRAM技术、Flash技术和新兴非易失性内存技术。三大驱动下要达成的目标是,PPAC(性能、功率、面积、成本)在2~3年内有一定的提升,提升幅度的范围

在15%~30%之间。

现阶段,先进制程的研发已经开始陷入瓶颈,成熟制程存在巨大的市场空间。吴汉明指出,在去年集成电路的产品中,10纳米节点以下的先进产能占17%,83%的市场都被相对成熟的技术节点占据。吴汉明表示,在高度重视前沿技术的同时,也要高度重视成熟制程所占的创新空间份额,成熟制程的发展空间很大。

“后摩尔时代给追赶者机会。”吴汉明在演讲中提到,既然先进工艺的研发之路很难走,那么包括设计公司在内的业界用户就更应该关心系统性能。“成熟工艺+异构集成”同样可以大幅增强产品性能。吴汉明表示,目前国内有一家新创立的公司采用40纳米工艺,通过异构集成提升了性能,用比较成熟的工艺做出了比较先进的系统。在吴汉明看来,这代表着后摩尔时代的技术延伸和发展方向。

中国半导体行业协会副理事长、长电科技董事兼首席执行官郑力:

## 先进封装迎来“华丽转身”

本报记者 张依依

“先进封装正在‘华丽转身’,在这‘转身’之间,先进封装发生了颠覆性的技术突破。”在6月9日于南京举行的2021世界半导体大会上,中国半导体行业协会副理事长、长电科技董事兼首席执行官郑力生动形象地说明了后摩尔时代封装测试领域的变化。在本次大会上,郑力表示,在先进封装行业继续向前发展之时,单纯的“封”和“装”已经不是其中的决定性因素,华丽转身的关键已经变成高度集成的“集”和高度互连的“连”。

### 微系统集成实现质的飞跃

如果把以前传统意义上的“封装”比喻成工人制造砖头,那么如今的“封装”就是用砖头砌墙甚至

搭建一栋房屋。郑力在演讲中表示,先进封装技术一直在向前发展,已经走到了异构集成这一技术节点,微系统集成阶段实现了质的飞跃。“先进封装发展到今天,已经不仅仅是把芯片拿来以后装进去再封起来。AMD这几年来的一路狂飙靠的是后道制造技术,也就是如何提高芯片的集成度,如何提高封装体内部的高速互连。”郑力说。

他还表示,不仅是AMD,台积电、英特尔等国际头部企业都在积极布局异构集成,在半导体后道技术上持续发力。一个是集成,一个是高密度互连,在后摩尔时代,大家都在用不同途径提升芯片集成度。

在后摩尔时代,先进封装或者说封装行业已经走进了芯片成品制造这个重要的产业阶段。郑力指出,先进封装的升级换代为摩尔定律继续向前发展提供了非常强大的支撑力量。

### 向异构集成赛道积极提速

现阶段,先进封装技术正在迎来颠覆性突破,高性能计算、人工智能、汽车电子、医疗、通信等市场上“火热”的应用场景中都有Chiplet(芯粒)高密度集成推动的解决方案。在本次大会上,郑力以长电科技推出的解决方案为例,向与会者详细阐释了先进封装技术取得的突破。

郑力谈道,长电科技在异构集成的国际赛道上推出了全系列解决方案,该系列解决方案是基于长电科技目前正在量产的2D封装产品。“我们专门为高密度的互连做出一个晶圆,这个晶圆和前道的晶圆结合在一起,通过叠加和互连,能够把高密度的异构集成芯片集成在一起。”郑力表示,比较小的芯片可以直接使用封装体,如果芯片比较大,就需要再结合高密度倒装BGA封