

## 编者按：

10月14—16日，由中国半导体行业协会、中国电子信息产业发展研究院主办，北京赛迪会展有限公司、中国电子报社、赛迪智库集成电路研究所、上海市集成电路行业协会承办的第三届全球IC企业家大会暨第十八届中国国际半导体博览会（IC China2020）在上海举办。大会除一个主论坛外，还举办了六场分论坛。与会嘉宾围绕半导体市场应用、技术研发、知识产权保护等热点发表了精彩演讲，本报特摘编嘉宾演讲内容，以飨读者。（详见3~8版）

芯原微电子（上海）股份有限公司董事长兼总裁戴伟民：

## 芯粒助推中国半导体产业发展



更高的硅利用率会带来更高的产量，推动芯粒市场快速发展。芯粒处理器芯片全球市场规模，由2018年的6.45亿美元将上升至2024年的58亿美元，2035年将达到570亿美元。

本报记者 诸玲珍

10月14日，由中国半导体行业协会、中国电子信息产业发展研究院主办的第三届全球IC企业家大会暨第十八届中国国际半导体博览会（IC China2020）在上海开幕。芯原微电子（上海）股份有限公司董事长兼总裁戴伟民发表了题为《芯粒：中国半导体产业的机遇与挑战》的主题演讲。戴伟民表示，芯粒（Chiplet）市场呈现快速发展态势，到2024年，将达到58亿美元。

### 芯片设计成本 越来越高

戴伟民在演讲中表示，晶体管数量随着特征线宽的减小而大幅提升，从而支撑手机芯片性能的不断升级。他以苹果公司手机芯片为例，在16nm工艺下，其手机芯片的晶体管数量为33亿个；在7nm工艺下为69亿个；在5nm工艺时预计将达100亿个。单位面积下晶体管数量的快速上升促使晶体管的单位成本快速下降，苹果公司芯片单个晶体管的生产成本在16nm工艺下为

4.98美元/10亿个晶体管，在7nm工艺下仅为2.65美元/10亿个晶体管。

戴伟民指出，当前，芯片设计成本越来越高，以工艺制程处于主流应用时期的设计成本为例，工艺节点为28nm时，单颗芯片设计成本约为0.41亿美元；而工艺节点为7nm时，设计成本则快速升至约2.22亿美元。其中早期使用和成熟期使用的成本相差1倍以上，但成熟期的使用成本仍非常高。全球领先的芯片设计公司（fabless）的研发/营收占比居高不下，在25%以上。戴伟民认为，Fabless模式演进催生芯片设计服务产业，半导体IP授权和集成电路设计服务行业的发展催生更多机遇。全球半导体IP市场发展规模呈上升趋势，将从2019年的50亿美元，上升至2027年的101亿美元，增长1倍以上。

### 芯粒技术 快速发展

戴伟民表示，工艺技术的进步带来设计成本的挑战，现阶段，先进工艺带来的设计成本攀升逐渐削弱了单个晶体管的平均成本效益。因此，

更高的硅利用率会带来更高的产量，推动芯粒（Chiplet）市场快速发展。芯粒处理器芯片的全球市场规模，由2018年的6.45亿美元将上升至2024年的58亿美元，2035年将达到570亿美元。目前，Marvell、AMD、英特尔、台积电等大公司都相继发布了芯粒产品。据了解，目前，芯粒涵盖三种封装技术，即Organic Substrates、Passive Interposer（2.5D）以及Silicon Bridges。

“芯原公司提出IP即芯粒（IP as a Chiplet）理念，旨在以芯粒实现特殊功能IP的‘即插即用’，解决7nm、5nm及以下工艺中性能与成本的平衡，并降低较大规模芯片的设计时间和风险，从SoC中的IP到SiP中以芯粒形式呈现的IP。”戴伟民表示。

戴伟民强调，芯粒将带来新的产业机会：降低大规模芯片设计的门槛；升级为芯粒供应商，提升IP的价值且有效降低芯片客户的设计成本；增设多芯片模块（Multi-Chip Module, MCM）业务，芯粒迭代周期远低于ASIC，可提升晶圆厂和封装厂的产线利用率；建立新的可互操作的组件、互连、协议和软件生态系统。他举例说，目前国内已有公司涉足这个

领域。长电科技依靠多年eWLB扇出型封测量产经验，2020年面向高性能计算、5G及物联网等应用推出一系列芯粒产品，包括基于RDL First的中道扇出型晶圆级封装及配套的高密度FCBAG后道封装。据介绍，RDL线宽线距达到2微米。2021年长电科技计划推出基于硅转接板的2.5D芯粒产品，封测精度和密度进一步提升。

### 终极内存和缓存技术 有效降低系统成本

FLC终极内存/缓存技术（FLC）是一种创新性的低成本、低功耗和高效率的内存/缓存技术。它可以低成本地扩大DRAM内存容量，提供大缓存并有极高的缓存命中率，利用片内SRAM（静态随机存取存储器）或片上定制DRAM（动态随机存取存储器）来提高DRAM性能，并有效降低DRAM内存的功耗及系统功耗，在不改变现有芯片的系统结构的基础上有效降低系统成本。

随着机器学习和人工智能、大数据、高性能计算设备和物联网设备的大量涌现，芯原和合作厂商拟共同研发采用全新高性能计算机架构的终极内存/缓存技术，将为高性能计算机平台、笔记本电脑、平板电脑、移动电话等提供一个全新的高性能、高效率和低成本计算的内存方案，并可以显著节约系统总体成本。“我们研发的内容包括：开发终极内存/缓存技术控制器和封装内缓存芯片技术；研发完成后，将基于终极内存/缓存技术开发应用处理器方案，采用芯原领先的视频编解码技术提供丰富的接口并支持扩展异构计算，例如PCI-E、CCIX、USB Type-C、MIPI摄像头、4K显示等。”戴伟民表示。

新思科技中国副总经理谢仲辉：

## 以数据分析优化硅生命 周期管理可激发IC潜能



第三届全球IC企业家大会  
The 3rd Global IC Entrepreneurs Conference

“由于数据的价值无法用于整个硅生命周期的管理上，半导体行业中的‘全生命周期管理方法学’一直缺位。应该采用以数据分析为驱动的硅生命周期管理方法，使芯片从设计、制造、量产，乃至系统上发挥应有的作用，最终实现芯片在性能、可靠性、安全性等方面的重大突破。”

本报记者 张依依

10月14日，由中国半导体行业协会、中国电子信息产业发展研究院主办的第三届全球IC企业家大会暨第十八届中国国际半导体博览会（IC China 2020）在上海开幕。新思科技中国副总经理谢仲辉发表了题为“科技塑造数字时代”的主题演讲。

### 数字科技创新 芯片成为引擎

科技创新需要合适的时间窗口和成长土壤。人类历史发展的重要阶段，如农耕时代、大航海时代、蒸汽时代和电气时代的逐步演进，将这一点体现得淋漓尽致。谢仲辉认为，在农耕文明时代，土地是最大的天然资源，劳动力则是最大的生产力，由此催生了与之相匹配的社会经济分配制度。15到17世纪大航海时代积累的大量财富，人口增长以及相对应的殖民社会制度让科技发展找到更合适的生长土壤。18世纪是科技创新的一大时间点，蒸汽机的发明在当时的社会经济背景下得以迅速商业化，带动了第一次工业革命。科学技术作为工业文明的第一生产力，推动了人类文明从第一次工业革命到第三次工业革命的进程。

随着芯片的设计变得越来越复杂，对芯片可靠性要求也变得越来越高，而这就显示出挖掘整个产业链价值需求的重要性。谢仲辉认为，应该采用以数据分析为驱动的硅生命周期管理方法。通过搜集芯片各个阶段中有价值的数据，可以在芯片生命周期中对这些数据进行高效的分析优化，使其从设计、制造、量产、回片等环节，每个阶段都有相对应的参数与数据管理手段。目前，这些手段与整个产业链的结合程度还不够，无法及时地反馈在设计和优化上面。由于数据的价值无法应用于整个硅生命周期的管理上，半导体行业中的“全生命周期管理方法学”一直缺位。

随着芯片的设计变得越来越复杂，对芯片可靠性要求也变得越来越高，而这就显示出挖掘整个产业链价值需求的重要性。谢仲辉认为，应该采用以数据分析为驱动的硅生命周期管理方法。通过搜集芯片各个阶段中有价值的数据，