

从SiP到Chiplet 先进封装持续演进



本报记者 陈炳欣

摩尔定律的延伸受到物理极限、巨额资金投入等多重压力，迫切需要别开蹊径推动技术进步。而通过先进封装可以相对轻松地实现芯片的高密度集成、体积的微型化和更低的成本，这使得台积电、英特尔、三星，以及主要封测代工厂商(OSAT)都对先进封装给予了高度重视，纷纷布局发展这方面的能力。在此情况下，近年来先进封装技术不断演进，产业形态也展现出一些新的特征。

厂商重点布局先进封装

随着摩尔定律面临诸多瓶颈、先进工艺逼近物理极限，业界普遍认为，先进封装会成为下一阶段半导体技术的重要发展方向。台积电、英特尔、三星三大半导体龙头企业均提早布局先进封装技术。

在近日召开的线上技术研讨会中，台积电副总裁余振华分享了台积电在先进封装上的一些发展现状和未来规划。余振华强调，台积电将SoIC、CoWoS、InFO-R、CoW、WoW等先进封装技术平台加以整合，统一命名为“TSMC 3DFabri”。此平台将提供芯片连接解决方案，满足用户在整合数字芯片、高带宽存储芯片及特殊工艺芯片方面的需求。台积电认为，芯片在2D层面的微缩已不能满足异构集成的需求，3D才是未来提升系统效能、缩小芯片面积、整合不同功能的发展趋势。

英特尔也在日前举办的架构日活动上介绍了新的先进封装技术——“混合结合(Hybrid bonding)”。当前，多数封装技术采用“热压结合(thermocompression bond-

ing)”，而“混合结合”能够实现10微米及以下的凸点间距，较Fovreros封装的25~50微米凸点间距有了明显提升，并且优化芯片的互连密度、带宽和功率表现，进一步提升芯片系统的计算效能。使用“混合结合”技术的测试芯片已在2020年第二季度流片。

专业封测代工(OSAT)厂商对先进封装同样极为重视。长电科技技术市场副总裁包旭升在接受采访时表示：“目前我们重点发展几种类型的先进封装技术。首先是系统级封装(SiP)，随着5G的部署加快，这类封装技术的应用范围将越来越广泛。其次是应用于Chiplet SiP的2.5D/3D封装，以及晶圆级封装，并且利用晶圆级技术在射频特性上的优势推进扇出型(Fan-Out)封装。此外，我们也在开发部分应用于汽车电子和大数据存储等发展较快的热门封装类型。”

事实上，国内三大封测公司均在加大先进封装上的投入力度。财报中，长电科技表示2020年下半年将继续深化总

在需求增长带动下，越来越多的先进封装技术被开发出来，先进封装的市场占比将会进一步扩大。

部功能整合，加大先进封装工艺及产品的研发投入，积极搭建设计服务新业务平台，不断强化长电科技核心竞争力并在工厂端落实。

华天科技2020年上半年在先进封装方面的研发费用达2亿元，同比增长15.41%，占营业收入比例为5.4%。

2020年上半年，通富微电在2D、2.5D封装技术研发上取得突破，Si Bridge封装技术研发拓展，Low-power DDR、DDP封装技术研发取得突破。

总之，在市场需求的增长下，越来越多先进封装技术被开发出来，先进封装的市场占比将会进一步扩大。

统计数据显示，从2017年到2023年，整个半导体封装市场的营收将以5.2%的复合年增长率增长，而先进封装市场将以7%的复合年增长率增长，市场规模到2023年将增长至390亿美元。另一方面，传统封装市场的复合年增长率则低于3.3%。

随着采用多芯片异构集成方式的不断探索，Chiplet或许将成为未来芯片制造中的重要发展方向。

先进封装技术持续演进

传统上，封装的目的是将切割好的芯片进行固定、引线和塑封保护。但随着半导体技术的发展，越来越多前道工艺需要完成的步骤被引入后道工艺当中，两者的界限变得越来越模糊。随之而来的是，越来越多超越传统封装理念的先进封装技术被提出。

据包旭升介绍，先进封装主要涉及芯片厚度减小、尺寸增大及其对封装集成度、敏感度的提高，基板线宽距和厚度的减小，互连高度和中心距的减小，引脚中心距的减小，封装体结构的复杂度和集成度提高，以及最终封装体的小型化发展、功能的提升和系统化程度的提高。

先进封装的关键工艺涉及芯片互联(WB/打线、FC/倒装、RDL/重布线、TSV/硅穿孔、DBI等)和基板(金属框架、陶瓷基板、有机基板、RDL stack/重布线堆叠、异

构基板、转接基板等)，芯片、器件的保护与散热(塑封、空腔、FcBGA和裸芯片/WLC-SP等)，以及不同引脚形式(Lead、Non-lead、BGA等)的结合。

SiP是当前应用最为广泛的先进封装技术之一，是先进封装中带有系统功能的多芯片与器件的一种封装形式的总称。SiP可以将一颗或多颗芯片及被动元件整合在一个封装模块当中，从而实现具有完整功能的电路集成。这种封装方式可以降低成本，缩短上市时间，同时克服了芯片系统集成过程中面临的工艺兼容、信号混合、噪声干扰、电磁干扰等难题。

随着先进封装技术的发展，一种“小芯片(Chiplet)”的发展理念又被提出，成为当前封装领域最热门的话题之一。包旭升认为，Chiplet其实也可以算是一种SiP技术，是系统级芯片(SoC)中IP模块的芯片化。

其主要目的是为了提高良率和降低成本，同时提高设计的灵活度，缩短设计周期。一般来说，一颗SoC芯片中会包含许多不同的IP模块，随着芯片制造工艺已经演进到7/5nm，但并不是所有IP模块都需要做到7/5nm，把一些IP模块单独拿出来，做成一个标准化功能的小芯片，这个就可以称为Chiplet。它相当于一个标准化的元件，当这个单独的标准化元件制造完成之后，可以再和其他的功能模块，如存储芯片、应用处理器等封装在一起，做成一个SiP模块，执行复杂的功能。

对此，半导体专家莫大康指出，人们在不断探索采用多芯片异构集成的方式，把一颗复杂的芯片分解成若干个子系统，其中一些子系统可以实现标准化，然后就像IP核一样把它们封装在一起。Chiplet或许将成为未来芯片制造当中一个重要的发展方向。

未来，随着技术的不断发展，制造与封装的竞争关系也在不断演进当中。

产业结构竞合中发展

除了技术上的演进，先进封装的发展对半导体产业结构也在产生新的影响。技术大会上，台积电表示，其封装平台“3DFabri”划分为两个部分，“前端”封装技术和“后端”封装技术。

按照台积电定义，诸如CoW(chip-on-wafer)和WoW(wafer-on-wafer)等前端芯片堆叠技术统称为“SoIC”，即集成芯片系统(System of Integrated Chips)。这些技术的目标是在前道工艺部分，即将硅片堆叠在一起。而后端芯片3D封装包括InFo(Integrated Fan-Out)和CoWoS(Chipon Wafer on Substrate)等技术，它们可以在后道工艺中实现不同异质芯片的3D堆叠。

在传统封装技术向先进封装演进的过程，就有人提出“中道工艺”的概念，使传统上前段晶圆制造工艺与后段封装工艺的界线逐渐模糊。随着台积电将先进封装进一步划分为“前端”封装技术和“后端”封装技术，晶圆制造与封装的界线将进一步被打破，对于原有设计、制造、封测的产业结构将产生新的影响。

莫大康指出，将来很难清楚划分前段晶圆制造工艺与后段封装。比如Chiplet就是一种单元库，谁有需要谁就可以调用。对于从业者来说，晶圆厂也在做封装。如果我们的封装厂只停留在封装阶段，不懂晶圆制造、不懂设计，恐怕封装也很困难，将无法适合未来的竞争形势。

包旭升也认同这样的发展趋势。“2.5D和3D封装中涉及到许多技术，实际上是前

段工艺的一种延续，而晶圆厂在前段环节是有技术优势的，比如硅转接板(Si TSV Interposer)封装、3D微凸块micro-bumps，或者晶圆的Wafer to Wafer高密度连接。而我们后道封装厂商的优势在于异质异构的集成。晶圆厂在2.5D和3D技术领域的开发，对我们确实有一定影响，因为他们能够利用自身优势，在中道晶圆级环节延续竞争力。但是作为封装厂，我们也有在2.5D和3D后道封装领域的经验积累和技术壁垒。另外，从供应链角度考虑，很多客户还是期待专业化的分工，希望晶圆厂专注做好芯片，封装再单独找其他厂商来做。”包旭升说。

未来，随着技术的发展，制造与封装的竞争关系也在不断演进当中。

我国半导体产业的发展从初级阶段开始向成熟阶段迈进。在二级市场，半导体产业指数和成交额在国内市场的表现是逆市上扬，这说明资本对于半导体产业相关上市公司或者投资标的充满兴趣。

具体来讲，逆市上扬主要是国内市场情况和国际市场情况存在反差。全球半导体市场的产业规模出现下降趋势，而国内呈现逆势发展的态势。

资本力量撑起 半导体市场逆势增长

赛迪顾问副总裁 赵卫东

国内半导体逆势发展背后的影响因素可以简单概括为：一是政策红利，半导体产业已经成为举国关注的领域，在大国崛起的阶段扮演非常特殊的角色，目前国家政策全面支持半导体产业发展。二是资本市场多层次建设不断完善，尤其是科创板的推出。科创板瞄准的是“硬核”创新，而半导体产业是其中的重要标的。

资本撬动作用

逐渐加大

从半导体行业投融资特点来看，目前产业发展进入加速阶段。梳理2010~2020年十年间的主要投融资案例，可以看出结构性的特征变化是：投资越是靠后端，轮次投资增速越高。这间接反映一个特点，就是半导体产业的发展从初级阶段开始向成熟阶段迈进。

从投融资的区域分布来看，不论是融资规模还是整个半导体市场规模，都有非常明确的地区集中趋势，排名前三位分别是北京、上海、江苏，这和半导体市场规模相匹配。这两个数据也体现一个隐含特点，即现在投融资的规模交叉将要达到整个市场规模的一半，这充分证明资本对于半导体行业的认可。如果跳出省级市场这个单独层面，从区域一体化的角度来看，长三角、珠三角、环渤海地区是半导体投融资分布非常突出的区域。

从热点领域来看，5G通讯、汽车电子、物联网应该成为下一阶段半导体市场应用

第三代半导体产品 迎来产业化机遇

半导体产业前两年一直有两种说法是：产业发展到瓶颈期，摩尔定律是否还成立？在硅基的原材料基础上去做这些产品，这种技术路线是不是已经达到极限？

目前最先进的技术是2~3纳米的制程，1纳米基本上是3~5个硅原子。如果材料或者技术路线未发生革命性的变化，也许按技术路线会遇到一定瓶颈，例如2~3纳米技术什么时候能够成熟？实验室阶段成熟以后，什么时候能够量产？庆幸的是，现在已经有不同的技术路线，第三代半导体可能使得技术路线发生转移，另外从材料领域要加大努力，以新的材料突破为方向，这可能是未来要关注的重点。

需要明确的是，我国集成电路产业链有两个亟待发展的方向：一是核心原材料，二是前后端设备。如果这两个领域能够取得突破性进展，我国集成电路产业将取得更好发展。

2012~2019年中国集成电路市场规模及增速



数据来源：赛迪顾问

超高清视频标准发布 产业链生态建设提速

(上接第1版)

中国超高清视频产业联盟秘书长温晓君表示，建立HDR生态，一是有利于整合优势资源，推动高校、研究机构及全产业链骨干企业产学研合作，打通前端集成、芯片设计、接口匹配、编解码等底层技术链路；二是有利于内容制作播出、网络传输，以及终端、芯片、面板等产业链环节协同合作，推动端到端协同，促进视频领域技术产品和设备升级迭代；三是带动垂直行业制定技术路线图和应用推广。

在此次标准发布会上，产业链各方代表表态，将会积极支持、运用并协同完善CUVA HDR标准。

中央广播电视台总台将在内容制作环节先行先试，在适配总台4K HDR制播规范的基础上，把关CUVA HDR的落地效果，组织进行呈现效果的实验与测试，并参与联盟相关标准、规范的制订与推广。

国家广播电视台正在积极谋划布局，并培育孵化面向5G的8K VR、沉浸式视频、互动视频、云游戏等更高格式、更新应用场景的高新视频业务新业态，希望联盟充分发挥技术、标准和生态优势，共同为超高清视频应用发展贡献力量。

当虹科技作为4K/8K前端设备厂商，

将优先在实时编解码、离线转码等设备端发力，为市场提供适用于x86、ARM、GPU等多种计算架构的CUVA HDR广播级方案。

TCL将从最终消费者体验出发，为新标准提供终端大屏的意见和建议，并在标准牵引下形成统一的、高质量的、具有品牌号召力的CUVA HDR。

索贝将CUVA HDR标准集成进非线性编辑软件Editmax11中，未来与各媒体机构、制作公司一起进一步探索CUVA HDR更多的内容制作应用。

腾讯视频宣布成为首家商用CUVA HDR标准的视频平台，希望在最快的时间内上线CUVA HDR内容专区。

据悉，HDR认证是中国超高清视频产业联盟开展的第一项认证。温晓君表示，欢迎产业链上下游芯片企业、前端设备企业、手机电视等终端厂家加入中国超高清视频产业联盟，共享HDR标准，积极参与到标准后续的升级完善和测试认证工作中，享受产业快速发展带来的市场红利。

预计2021年，消费者将可以从市场上选购到带有CUVA HDR认证标志、具备高动态范围显示功能的高品质产品，享受CUVA HDR技术所带来的极致视觉体验。