



后摩尔时代,先进封装将迎来高光时刻

厦门大学机电工程系副教授 马盛林

自晶体管被发明以来,集成电路一直遵循摩尔定律发展——每18个月晶体管特征尺寸减小一半,尺寸减小,实现更高密度集成,功能、性能以及能效比大幅提升,成本降低,一如过去半个多世纪以来微处理器和半导体存储器芯片所呈现出的发展特点一样。为了使特征尺寸持续缩小,作为实现图形线宽最为核心的工艺——光刻技术,从最初的紫外光G-line线(436nm)发展至今日的极紫外EUV(13.5nm)光刻技术。MOSFET晶体管也从早期二维结构进入3D FINFET,以延续摩尔定律。当前,国际上台积电、三星、英特尔等领先厂商仍在积极开展致力于持续缩小晶体管特征尺寸的研发。如英特尔Intel CEO Pat Gelsinger近日在Intel Accelerated大会上指出的,进入3D晶体管时代后,方案的多样化其实不再指代任何具体的度量方法,无法全面展现该如何实现效能和性能的最佳平衡。也有人讲,摩尔定律本质上是经济规律,按照它的指引,大家有利可图,且利润不菲。集成电路发展早期,确实如此,而且持续了将近半个多世纪。但是,进入1Xnm节点后,一条晶圆线动辄投入百亿美元,因此,如何实现效能和性能的平衡成为业内领先企业的发展战略。

龙头企业加速布局3D集成封装技术

随着后摩尔时代的到来,先进集成封装技术被推向舞台的正中央。近来,台积电、英特尔、三星等半导体领先厂商均在加速部署3D集成封装技术。日前,台湾工业技术研究院研究总监Yang Rui预测,台积电将在芯片制造业再占主导地位5年,3D集成封装是关键。如果说摩尔定律是通过缩小特征线宽尺寸将更多晶体管塞进一颗芯片里,以实现更多功能,那么,后摩尔时代先进集成封装则是将更多裸芯片像叠床架屋一样堆放在一起并塞进一个封装内。而且,还要在这些水平、垂直方向堆叠的裸芯片之间通过最小尺寸导电通道互连起来。其中,实现裸芯片厚度方向电气连接的通道即是硅通孔技术(Through-Si-Via,

TSV),堆放裸芯片之间的电气连接即是微凸点(Micro-bump)等,同一水平面上裸芯片之间的电气连接的通道则是再布线金属层(Redistribution Layer,RDL),这三者即是后摩尔时代先进集成封装的关键要素。

当前,最具代表性的后摩尔先进集成封装技术主要有台积电推出的CoWoS(Chip-on-Wafer-on-Substrate)、3D SoIC(System-on-Integrated-Chips)、InFO-SoW(Integrated Fan-out Wafer-Level-Packaging System-on-Wafer)等,如今年全球TOP 500超算榜排名第一的日本超算富岳所搭载的Fujitsu A64FX处理器就采用了台积电CoWoS封装技术,我国华为海思升腾

多种先进封装技术与先进工艺节点融合趋势明显

可以讲,对先进集成封装的追求一直伴随着集成电路产业的发展,这同时源于对晶体管集成极限追求的探索和对摩尔定律失效前景的担忧。早在1976年,美国通用电气公司研究人员提出开发可贯穿IC芯片厚度方向的导电通道,以支持芯片堆叠集成。但是,当时,集成电路正处于青年期,无法与摩尔定律——晶体管尺寸持续缩小技术路线竞争。2002年前后,集成电路进入深亚微米节点,日本半导体产业界启动了超级半导体芯片研发计划,以期开发出能够用裸芯片堆叠集成技术来实现更高密度3D集成。2007年前

后,韩国三星电子演示了基于TSV互连的多层裸芯片堆叠集成,再一次将集成电路先进集成封装技术研发推向高潮。也是在此时段,我国也启动了TSV三维封装技术相关研究计划。然而,2016年苹果公司推出的A10处理器采用了台积电InFO先进封装技术,英特尔公司采用了EBIM技术应用在其可编程逻辑器件产品上,以TSV互连技术为代表的先进集成封装技术的热度直线下降。

随着人工智能、大数据、云计算、异构计算等的快速发展,Chiplet(芯粒)设计理念再度兴起。其实Chiplet并非新概念,

先进封装与Chiplet的设计理念互为支撑

当裸芯片之间互连尺寸与芯片内晶体管互连尺寸接近时,后摩尔时代叠床架屋的裸芯片体究竟是一颗芯片还是一个封装体?可以说,封装体既是芯片,更是系统。

未来,TSV互连、RDL、Micro-bump等关键互连要素的特征尺寸将进一步缩小,芯片种类及数目、堆叠层数更多,架构与接口标准化,多信号域多类别器件的渗透应用扩展,将是后摩尔时代的先进集成封装重要发展方向。

尽管后摩尔时代先进集成封装的理念很简单、很容易理解,但是工程实现却非常具有挑战性。从工艺制程层面讲,硅通孔TSV互连工艺引入以及所增加的超薄晶圆片操作等工艺步骤,会严重影响集成电路芯片工艺制程,兼容性、可制造性、工艺制程监测管控等面临一系列的挑战,这需要工艺、材料、装备等产业协同。从设计层面讲,后摩尔时代的先进封装意味着芯片设计由传统二维平面设计进入三维

空间设计,必须有设计方法与EDA工具、三维架构、接口标准化等配套支撑。

后摩尔时代的先进集成封装正在重塑产品的供应链、价值链,也在影响着产业形态、竞争格局。传统IC产品一般采用由IC代工厂、封装厂等分工接力完成的模式,而今,价值的天平正在向代工厂倾斜。以英特尔Lakefield微处理器为例,集成电路芯片的TSV工艺、Chip-on-Wafer等均由英特尔公司完成,这些环节成为技术链条中最为关键的部分,在产品成本中占比较大,且附加值高。而且,先入为主的优势突出,生态一旦形成,对于后来者而言,意味着门槛高筑,市场进入难度更大。

后摩尔时代的先进封装技术与Chiplet的设计理念互为支撑、互相成就,在制造领域,可能会使传统的封装厂、未进入的代工厂处于不利竞争地位,高效能计算SoC芯片设计厂面临供应链集中、可选制造厂越来越少,处于不利竞争地位。但是,在IC设计领域也有可能打开一扇窗,为众

随着后摩尔时代的到来,先进集成封装技术被推向集成电路舞台的正中央。

910、燧原智能科技DTU1.0等芯片据悉亦采用了台积电的CoWoS技术,最近报道的特斯拉Tesla Dojo训练芯片也采用了台积电的InFO-SoW技术平台。后摩尔先进集成封装技术还包括英特尔推出的2.5D嵌入式多互连桥(EMIB)技术、3D封装Foveros技术,以及将EMIB与Foveros相结合的Co-EMIB技术等,2020年英特尔推出的Lakefield微处理器即采用了3D封装Foveros技术。近日,韩国三星电子也公布了其3D封装技术Extended-Cube,简称X-Cube,通过TSV进行互连可将SRAM层堆叠在逻辑层上,SRAM与逻辑部分分离能腾出更多空间来堆栈更多内存,该技术已能用于7nm乃至5nm工艺。

随着人工智能、大数据、云计算、异构计算等的快速发展,Chiplet设计理念再度兴起。

它通过先进集成封装技术将不同工艺节点的裸芯片混合集成,以解决传统延续摩尔定律带来的超大面积单颗SoC芯片的良率、成本、开发成本与周期长等问题,尤其是在价值高但是产品市场需求不够大的情况,Chiplet带来的IP复用会带来更多收益。

今天,以TSV互连、RDL、Micro-bump为核心要素的后摩尔时代先进集成封装技术呈现出与Chiplet融合、摩尔定律前沿工艺节点融合的特征与趋势,已成为支撑高效能计算SoC芯片的最为先进的技术平台,是台积电、英特尔、三星电子等头部企业技术发展战略布局的关键点。

后摩尔时代的先进集成封装正在重塑产品的供应链、价值链,也在影响着产业形态、竞争格局。

多专注于做专用IC芯片的中小企业提供发展机遇。Chiplet的发展前景如何,特别是独立第三方Chiplet供应商的商业模式是否成立,谁会从中获益,还要拭目以待。

2008年前后,我国集成电路产业开始布局后摩尔时代先进封装技术,项目成员单位包括国内知名高校以及国内知名代工厂、封装企业,起步不算晚,并取得了一系列研究成果,培育了多家先进封装材料、装备优秀企业,在CMOS图像传感器、RF、MEMS等产品领域取得了突破性发展。但是,鉴于我国在高效能计算CPU等产业链的发展情况,该领域的产业化应用方面已经滞后于台积电、英特尔等国际头部公司,差距正在拉大,且技术门槛正在抬高。当前,先进封装技术正处于发展关键期,建议国家主管部门加强顶层设计、引导,产业头部企业发挥责任担当,产业链协同攻关,勇攀科技高峰,解决“卡脖子”难题,引领集成电路产业安全、健康发展。

巨头竞逐Chiplet 先进封装技术风头正劲

本报记者 沈丛

近日,在今年的Hot Chips国际大会上,AMD谈到了其现有的小芯粒(Chiplet)设计以及多层芯片的未来发展方向,并表示AMD有14种用于Chiplet的封装架构正在研发中。可见,AMD已经全面进入3D Chiplet时代。在日前举办的英特尔架构日中,英特尔发布了下一代至强可扩展处理器(代号为Sapphire Rapids),即采用2.5D的嵌入式桥接解决方案,在Chiplet领域又迈出了关键一步。此外,台积电、AMD、赛灵思等芯片巨头厂商也开始纷纷入局Chiplet领域。一时间,Chiplet形成了百家争鸣的场面。而事实上Chiplet早在10年前就已出现,为何在近两年却成为了巨头们竞逐的焦点?随着后摩尔时代的来临,先进封装的研发是否会替代先进工艺制造的研发?

巨头纷纷发布前沿封装技术

近年来,AMD、英特尔、台积电、英伟达等国际芯片巨头均开始入局Chiplet。同时,随着入局的企业越来越多,设计方案也越来越多,开发成本也开始下降,大大加速了Chiplet生态发展。据Omdia的报告,到2024年,Chiplet的市场规模将达到58亿美元,2035年将超过570亿美元,Chiplet全球市场规模将迎来快速增长。

作为代工界巨头的台积电,自然也重金押注,比三星、英特尔更早地采用了Chiplet的封装方式。台积电负责人向《中国电子报》记者介绍,台积电推出了3D Fabric,搭载了完备的3D硅堆栈(3D Silicon Stacking)和先进的封装技术。3D Fabric是由台积电前端3D硅堆栈技术TSMC SoIC系统整合的芯片,由基板晶圆上封装(Chip on Wafer on Substrate, CoWoS)与整合型扇出(Integrated Fan-Out, InFO)的后端3D导线连接技术组成,从而能够为客户提供整合异质Chiplet的弹性解决方案。据了解,该项技术先后被用于赛灵思的FPGA、英伟达的GPU以及AMD的CPU。

在台积电诸多Chiplet客户中,AMD无疑是这波Chiplet风潮的引领者。AMD高级副总裁、大中华区总裁潘晓明向《中国电子报》记者介绍,早在2017年,AMD推出的处理器上便采用了Chiplet技术,将4个SoC相互连接。在下一代产品中又通过Infinity技术将8个7nm Chiplet小芯片和1个12nm Chiplet I/O相互连接。近期,AMD也发布了其实验性的产品,即基于3D Chiplet技术的3D V-Cache。该技术使用台积电的3D Fabric先进封装技术,成功地将含有64MB L3 Cache的Chiplet以3D堆叠的形式与处理器封装在了一起,且已经有14种用于Chiplet的封装架构正在研发中。

作为全球排名第一的EDA解决方案供应商,新思科技也在致力于Chiplet解决方案的研发。新思科技负责人向《中国电子报》记者表示,现有的各种单点工具只能解决3D IC设计中细枝末节的难题,为此新思科技推出了3D IC Compiler,为Chiplet的集成提供了统一的平台,为3D可视化、路径、探索、设计、实现、验证及签核提供了一体化的超高收敛性环境,能够将系统级信号、功耗和散热分析集成到同一套紧密结合的解决方案中。

对于中国半导体产业而言,Chiplet被视为中国与国外差距相对较小的先进封装技术,有望带领中国半导体产业在后摩尔时代实现突破。因此,Chiplet技术也成为了中国半导体企业的“宠儿”,业内企业纷纷走向Chiplet研发之路。作为中国三大封测企业之一的长电科技,如今也在积极布局Chiplet技术。长电科技首席技术长李春兴向《中国电子报》记者介绍,长电科技正在布局多维扇出集成技术XD-FOI(X-Dimensional Fan-out Integration, XDFOI)。XDFOI是一种以2.5D TSV-less为基本技术平台的封装技术,在线宽/线距可达到2μm/2μm的同时,还可以实现多层布线层,以及2D/2.5D和3D多种异构封装,能够提供Chiplet及异构封装的系统封装解决方案。

竞逐Chiplet诉求各不相同

事实上,Chiplet并非是一个新的概念,早在十年前就已提出,为何如今成为芯片巨头们竞逐的焦点?

据了解,在以往,设计一个系统级芯片的方法是从不同的IP供应商购买一些软核(代码)或硬核(版图)的IP,并结合自研的模块,集成为一个SoC,然后在某个芯片工艺节点上完成芯片设计和生产的完整流程。而Chiplet的出现,对于某些IP而言,不需要自己做设计和生产,只需要购买IP,然后在一个封装里集成起来,形成一个SiP(System in

Package)。可见Chiplet也是IP的一种,但它是以硅片的形式提供的。

“Chiplet是通过系统级封装,使得更多的功能能够集成在一个系统中,从而实现更低的功耗。但是芯片巨头们入局Chiplet,实际上是有各自不同的诉求的。”中科院微电子所副所长曹立强向《中国电子报》记者表示。

其一,随着摩尔定律的不断延伸,芯片也在不断向先进制程发展,流片费用变得越来越高昂,流片成功率也变得越来越低,因而芯片成本不断提升。但是,通过将大芯片拆成小芯粒,再通过SiP的手段将其合成一个再造芯片的方式,可以大大降低成本,还可以实现先进制程的功能。例如,Marvell提出的Mochi概念,便是采用Chiplet技术,可以最大程度降低成本,还能对芯片进行模块化设计,各个模块还可以重复利用。

其二,对于资本力量比较雄厚的芯片巨头而言,技术瓶颈往往是阻碍其发展的最大困境。随着芯片工艺尺寸不断缩小,技术瓶颈也使得越来越多的芯片厂商选择推出先进制程进行竞争。许多厂商开始利用Chiplet的方式,把大芯片拆分,从而达到与先进制程相似的功能。例如,赛灵思3D IC使用堆叠硅片互连(SSI)技术打破了摩尔定律的限制,且能够提供行业最高逻辑密度、带宽和片上资源及突破性的系统集成。

其三,对于资本力量雄厚,且技术能力过关的半导体企业,芯片良率往往是制约其产品落地的关键因素。例如,AMD先前与台积电联合开发的5nm芯片,良率跌破了50%,因此AMD选择采用Chiplet的方式大大提升了芯片良率。

其四,随着人工智能、大数据、云计算等新兴行业的兴起,存算一体的融合架构模式也成为了市场所需,而这也是英特尔入局Chiplet的关键因素所在。利用Chiplet将不同的功能切开,再进行组合搭配,使得CPU能够在不同的情况下实现快速转换,从而正常运行。

“虽然巨头们使用Chiplet技术的理由各不相同,但是从侧面也反映出如今Chiplet技术得到了行业内的认可和重视。”曹立强说。

先进封装 vs 先进工艺制造

此前,集成电路角逐的主战场往往在芯片设计以及芯片制造的环节,封装技术常常被视为半导体产业链中技术含量最低的一道工序。然而,在即将到来的后摩尔时代,芯片先进制程逐渐突破物理极限,人们开始由先前的“如何把芯片变得更小”转变为“如何把芯片封得更小”,以Chiplet为首的先进封装技术随之浮出水面。

根据Yole预测,先进封装市场将在2022年时年营收大约达到329亿美元,届时市场规模将超过传统封装规模。先进封装市场的营收将以6.6%的年复合增长率成长,而传统封装市场年复合增长率仅为1.1%。可见,后摩尔时代让封装技术摇身一变成为占领芯片技术高地的关键一环。

然而,这是否意味着先进封装将超越先进工艺技术的发展?

虽然相较于芯片设计以及芯片制造而言,芯片封装技术门槛较低,但这并不意味着先进封装技术更容易实现。“集成电路作为高技术产业,任何一项新技术的出现都需要很长的时间来进行摸索。目前Chiplet还是一个比较新的技术,许多芯片厂商‘嗅’到了这个领域的市场商机纷纷入局,芯片设计企业、系统架构企业等相继开始做Chiplet,形成了新的生态环境,但如今这个领域没有一个很好的领军企业来牵头,也使得如今Chiplet的生态环境还比较混乱,并不稳定。”曹立强说。

与此同时,曹立强认为,在集成电路领域,没有先进和落后的技术区分,只有成熟工艺和先进工艺之分,先进封装技术并不会取代先进工艺技术的发展,二者将共同发展。

“任何技术的出现,都是有它的价值和意义的,只有最合适的技术,没有最好的技术。制造和封装二者之间并不是替代的关系,而是并存的关系,只是应用的领域不一样。Chiplet等先进封装技术是对先进制造环节的一个必要补充,但是若没有先进制造作为前提条件,先进封装技术也仅仅是空中楼阁。”曹立强说。

因此,尽管以Chiplet为首的封装技术是如今中国半导体产业实现质的飞跃的关键,但是曹立强认为,仅仅通过先进封装技术来弥补前道工序的不足,是远远不够的。因此,他认为,中国半导体在大力拓展先进封装技术的同时,也需要在先进制造方面努力发展,从而真正实现大跨越。