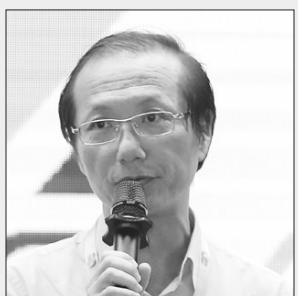


# RISC-V 产业化与开发者论坛: 深度赋能下一代信息技术

本报记者 齐旭

编者按: 9月3—5日, 第二届全球IC企业家大会暨第十七届中国国际半导体博览会(IC China 2019)在上海举办。大会期间, 由中国RISC-V产业联盟(CR-VIC)承办的RISC-V产业化与开发者论坛于9月4日举办。分论坛以“RISC-V 赋能新核芯时代”为主题, 由中国RISC-V产业联盟秘书长滕岭主持, 7位企业家在论坛上发表了精彩演讲。



林志明



孟建熠



胡振波



徐滔



蒋寿美



邹诚



陈亮

晶心科技股份有限公司总经理、中国RISC-V产业联盟副理事长林志明:

## RISC-V 生态系统发展已经基本成熟

众所周知, RISC-V 是开源的指令集架构(ISA), 架构较为简单, 层次清晰, 具有模块化设计特性和可扩展性。架构师可在遵循架构规则的基础上添加自己的指令集, 还可向基础工作组提出设计特点, 这是英特尔、ARM 架构所达不到的。

吴特、ARM 架构所达不到的。RISC-V 基金会于 2014 年发布 Frozen 基本用户规范, 贡献、批准并发布开放源码, 目前在全球已经有超过 300 家的厂商加入到 RISC-V 基金会中, 成为其会员单位。作为一个会员和行业服务的非营利性组织, RISC-V 基金会的使命是加快 RISC-V 的使用和渗透, 为整个利益相关者社区共享资源, 建立健全 RISC-V 生态系统, 促进发展的多样性, 防止 RISC-V 碎片化发展。

林志明指出, 目前包含美国、欧

洲各国等在内的国家和地区都已经掀起了 RISC-V 的热潮。最近, 欧洲的高效运算计算机已经大范围采用 RISC-V 架构, 欧洲各国在进行了一段时间的观察后, 决定投资 RISC-V, 进行 HPC 方面的开发。可以看出, RISC-V 绝对有潜力成为未来每家企业或组织开发芯片时的主要架构。

RISC-V 生态系统发展已经基本成熟, 包括半导体 IP 设计及服务、代工、研究机构、开发工具、机器学习、商业芯片供应商、FPGA、应用程序处理器在内的各个环节, 已经深度投入到 RISC-V 的开发应用中, 形成了完善的产业集群。在林志明看来, RISC-V 的阵营已经聚集了合作力量, 与 ARM 架构“抗衡”, 而其他都将被边缘化。阵

营当中的良性竞争与合作都将促进 RISC-V 的繁荣。

林志明表示, 原来晶心科技有自己的 CPU 系列, 自 2015 年开始专注于 RISC-V 架构的开发, 在 RISC-V 基金会中较为活跃。目前, 在全球范围内的 RISC-V CPU IP 产业中取得初步进展, 产品线从比较基础的 CPU 到中阶的 Linux 再到 DPA 等 32 位和 64 位产品一应俱全。凭借其较为完整的产品组合、可靠的 RISC-V 核心 IP 供货商、超低功耗和高运算效能的处理器核心, 为客户开拓出可自定义指令的 RISC-V 处理器核心。

“下一阶段, RISC-V 将开始做‘减法’, 对开发者更加友好, 并聚焦更大管道和向量的扩展, 整个产业已经做好了准备。”林志明说。

平头哥半导体技术有限公司 IoT 芯片研究员孟建熠:

## RISC-V 架构加速拓展技术与商业边界

AI、IoT、机器人将改变未来三年芯片技术研究和调研的方向, 特别是 IoT 已经成为当前科技发展的主要驱动力。孟建熠指出, IoT 一方面驱动了商业变革和消费发展, 另一方面驱动了社会和经济发展。RISC-V 主要针对的就是 IoT 产业, 正处在爆发前夜的 RISC-V 产业, 将会对 ARM 在消费类、IoT 等嵌入式市场造成冲击。

孟建熠说: “在过去一年多的时间里, 我们一直在观察 RISC-V 这个架构究竟适合什么应用? 今年 6 月, 平头哥半导体公司发布了玄铁 910, 将 RISC-V 架构的边界进一步清晰化, RISC-V 终将深度

赋能 IoT 产业。”

当前, IoT 芯片产业面临着两大困境, 一是产业热度过高, 二是应用过于碎片化, 这都将引起芯片产业的泡沫化。如何借助产业红利, 扎实地发展芯片技术、开拓创新、建立健全产业链, 成为关键性思考。

孟建熠表示: “端云一体、软硬结合、全栈集成成为 RISC-V 芯片架构发展的关键方向, 也是平头哥公司 RISC-V 领域的重要发展策略。我们希望 RISC-V 能够在底层提供良好的可扩展、可定制内容, 来更好地让我们的产品符合应用者的需求、提高整机效能。以玄

铁系列处理器为代表的 RISC-V 架构在两个方面具有显著优势, 一是低功耗、低成本、高代码密度, 二是高性能、多核、先进存储架构。”

对于未来 RISC-V 发展的建议, 孟建熠提出三点建议: “一是要在竞争中合作, 制定标准。二是要深耕产业, 做出价值。RISC-V 是面向定制化的行业, 我们要进一步跟整个行业深度整合。三是要在足够长的周期中解决问题。要有足够的耐心, 在产业过热后及时冷静下来, 让中国更多有潜力的企业在 RISC-V 产业中找到合适的定位, 从而促进整个产业的健康发展。”

芯来智融半导体科技有限公司 CEO、中国 RISC-V 产业联盟副理事长胡振波:

## AIoT 时代为 RISC-V 本土化带来更多机会

AIoT 时代对传统架构发起了诸多挑战, 这是由于 AIoT 具备丰富的智能化应用场景, 带来了万亿级别互联设备, 催生芯片市场海量需求。后摩尔时代, 这样基于领域的架构设计(DSA, Design Specific Architecture)的设计理念逐渐成为共识和趋势。系统公司、互联网巨头全面造芯, 更多软硬件结合的差异化创新诞生。芯片需求量化的同时, 呈现类似互联网服务化的趋势。

在胡振波看来, 在 AIoT 时代, ARM、x86 等封闭的传统指令集架构已无法有效解决具体实际场景的问题, 以及无法带来更快的市场响应速度、特性差异化和成本优势。而 RISC-V 架构设计具备开放性、先进

性、模块化和可扩展四大特点, 能满足 AIoT 时代对产品差异化和成本的需求, 拥抱面向特定领域的架构(DSA)设计。

胡振波指出, 创新和生态是国内 MCU 公司迈入世界一流的关键, RISC-V 作为一种全新的生态提供了适合的土壤。当前, 国际公司在创新和生态建设上的投入, 赢得先发优势和生态壁垒, 占领了国内 72.6% 的 MCU 市场。根据 IC Insights 预测, MCU 市场 2023 年出货量有望达到 382 亿片, 国内下游市场海量需求, 对国产 MCU 的需求持续增强, 给国内 MCU 公司带来了巨大机会。

芯来科技的 RISC-V 处理器由于其开放性、伸缩性和没有历史包

袱, 从客户需求和场景出发, 为 MCU 产业创新赋能。从开发者角度而言, 芯来科技建立 RISC-V MCU 技术社区, 并定期组织各种交流、培训和比赛; 联合兆易创新、SIPEED 等合作伙伴, 基于 RISC-V MCU 推出各类开发板, 配合免费的开发工具和丰富的应用参考设计提供给社区。

从产品路线而言, 胡振波表示, 芯来科技已有 200、300、600、900 四条产品线; 横向分类, 四个系列芯片又被分成 N 级别、NX 级别、UX 级别等 9 类产品, 在系统安全、高可靠性、可扩展性和计算加速方面表现良好, 已和国内多家知名客户建立战略合作, 并完成处理器内核在量产芯片的导入。

上海赛昉科技有限公司 CEO 徐滔:

## RISC-V 企业需贴近应用进行创新

RISC-V 从伯克利大学的研究项目中走出来, 秉持着开源的理念, 从 RISC-I 发展到今天的 RISC-V。RISC-V 基金会是一个非营利性组织, 旨在使其标准化, 保护和推广免费及开放 RISC-V 指令集架构及其硬件和软件生态系统。

徐滔通过五个方面阐述了 RISC-V 为何受到如此关注。一是简洁性, RISC-V 相较于其它商用指令集而言小很多。二是采用全新的设计。在吸取了前辈的经验和教训后, 对用户和特权指令集明确分离, 将其架构与微架构/工艺技术脱钩。三是稳定性, 基本及标准扩展 ISA 不会轻易改变, 通过可选扩展而非更新 ISA 的方式来增加指令, 稳定性得到极大保障。四是模块化 ISA, 其短小精干的基本指令集+标准扩展(1+

N), 为将来预留足够空间。五是通过社区进行设计。在开发者社区中云集了众多学术专家和行业大拿, 开发设计标准较高。

徐滔指出, RISC-V 生态已经初步完善, 其为硬件提供了多样性、灵活的选择性和平民化的成本选择; 在软件层面提供了工具链和操作系统等基础软件, 以及广泛和易于接触的应用软件。

业界普遍持有“拥抱 RISC-V”的积极态度。在企业方面, Andes、平头哥、芯来、Codalip 等宣布基于 RISC-V 的 IP 核产品线; SiFive 推出 Freedom Everywhere (IoT)、Freedom Unleashed (高性能) 和 Freedom Revolution (AI) 等开发版作为软件开发平台; Microsemi/NVIDIA/NXP 推出 demo 版和开发版; 平头哥推出

玄铁 910 和 CPU 开放普惠计划。在政府和研究机构方面, 伯克利-清华研究院在深圳成立 RIOS 实验室; 印度分别投资九千万美元和四千万美元在两个国家级 RISC-V CPU 项目上; 美国 DARPA 要求 security research 的项目必须采用 RISC-V 核。

对于 RISC-V 产业未来的高质量发展问题, 徐滔指出, 企业需时时刻刻置身于生态之中, 贴近应用进行创新。把握住“源于开源、高于开源、回馈开源”三大原则。“从今年起,” 徐滔说, “更多的厂家将发布基于 RISC-V 的产品, RISC-V 的高性能将会推进基于应用的软件工作大量展开, 功耗管理/服务器/功能安全将渗透到特定领域, 为信息技术领域更深更广泛地贡献氧气。”

多时擎智能科技有限公司创始人&CEO 蒋寿美:

## RISC-V 契合

### 边缘智能芯片要求

当 AI 已经成为当前电子信息产业的主旋律时, 边缘智能则成为 AI 的“最后一公里”。边缘计算大幅缩短了系统响应时间, 节省数据传输带宽, 提供安全性和隐私性。因此, 边缘智能产业对芯片的功耗、处理能力、响应速度、灵活性和成本等方面提出了更高要求。

为什么 RISC-V 适合做边缘智能芯片? 蒋寿美从三个方面进行阐述。在技术层面, RISC-V 的架构优势带来低成本、低功耗、可扩展属性, 契合了边缘智能芯片的需求; 在商业层面, RISC-V 无指令集授权费, 且芯片面积更小、更易产生成本优势; 在产业自身方面, RISC-V 开源、开放的指令集更佳符合自主可控的需求, 利于开发生态的优化。

蒋寿美表示, 当前边缘智能芯片常见计算架构包括 MCU (低端 AP) 作为主控、NPU (运行 AI 算法) 和 DSP (运行传统音视频算法)。RISC-V 可被视为赋能边缘智能计算架构创新的关键力量,

CPU+DSP+NPU 在大部分边缘智能芯片中面积、功耗占比较高, 通常可达 30%—50%。而 RISC-V 的精简、模块化属性为处理器“瘦身”, 大幅提高单位面积算力且降低功耗, 进一步释放 DSA 架构创新潜能。

蒋寿美以时擎的“RISC-VT-FUSION”计算引擎为例, 其架构可适应 AI 算法演进, 持续保持高计算效率, 其可伸缩、可重构架构能适应不同应用场景, 且比同等级 NPU+DSP 节省约 40% 以上面积, 效能也更高。

在芯片应用场景方面, 蒋寿美指出, 时擎 ATIK 通用智能音箱中运用了 T-FUSION 的降噪功能和关键词识别, 支持 100 条以上指令词和快速人声唤醒功能, 低功耗待机。ATIKV 家庭智能监控则应用了 T-FUSION 的多目标检测、识别功能以及 ISP、T-FUSION 图像预处理以及图像编码能力, 配置摄像头、红外传感器、无线连接, 切实保护用户隐私保护, 可在任意时刻进行多目标实时检测和识别。

上海睿赛德电子科技有限公司 COO 邹诚:

## RT-Thread

### 助力 RISC-V 释放无限潜能

在中国“芯”崛起之际, RISC-V 恰逢 IoT 产业爆发期, 潜力将进一步释放。RT-Thread 作为一款主要由中国开源社区主导开发的开源实时操作系统, 是国内目前合作和支持芯片厂商最多、社区开发者最多、组件最丰富、应用领域最广的 IoT OS。

邹诚指出, RT-Thread 产业目前面临的机遇与挑战并存。中国拥有强大的物联网产业链、最大的市场和制造业群体, 中国 IoT 产业的爆发也将带动物联网芯片及 MCU 厂商的大规模崛起。然而, 众多的 RTOS 玩家中, 优质的 IoT OS 却颇为缺乏。

自 2006 年项目初次启动, 到 2018 年 4.0 版本发布, RT-Thread 生态发展逐步走向完善。如今, RT-Thread 开源组件丰富, 具有优秀的软件架构设计、高度可伸缩性和良好的应用生态环境, 支持 POSIX、CMSIS、Webnet、脚本运行

环境等, 拥有丰富的开发工具包。

邹诚指出, RT-Thread 对开发者友好, 具有超强易用和便捷开发的特性。一是具有清晰的架构, 其 C 语言风格的内核利于开发者进行模块化设计。二是支持广泛的编译工具, 兼容 Keil, IAR, GCC 等开发环境。三是支持 POSIX 接口, 方便移植 Linux 应用程序。四是 API 简明齐全, 代码注释清晰, 便于应用二次开发。五是方便调试。内置 Shell 调试工具, 方便实时查看内核信息。六是辅助工具促进开发。UI Builder、ENV 配置器等有助于降低开发门槛, 提升开发效率。

此外, RT-Thread 还全面兼容 RISC-V。邹诚表示, RT-Thread 支持 RISC-V 32/64 SMP 多核, 与 RISC-V 执行一份操作系统程序, 任务可以根据 CPU 负荷情况, 迁移到空闲核, 方便多核编程, 可应用于多类应用场景中。

核芯互联科技有限公司首席架构师陈亮:

## 特色外设 IP

### 加速 RISC-V 产业化落地

当人们提到 RISC-V 的敏捷开发, 就不能不提到 DSL (数字用户线路) 和 HLS (基于 HTTP 的流媒体网络传输协议)。然而, 这些概念源于学术界, 如何将这些概念落实到产业中, 成为业界面临的困境之一。

陈亮指出, 一提到 RISC-V, 大家便和开发效率联系在一起, 显然, 敏捷开发似乎成了该产业的标签之一。尽管设计效率并不等同于产品竞争力, 但我们还是可以致力于推动 RISC-V 的敏捷开发。

在陈亮看来, RISC-V 整个产业的落地形态与前些年手机市场比较相似, 华为 P20 之所以奠定了在整个手机行业中的地位, 除了核心——麒麟 970 芯片之外, 还要归功于摄像头。事实上, 是产品外部设计推向产品走向极致。

RISC-V 的落地也应是同一个思路。陈亮认为, 若要提高 RISC-V SoC 产品竞争力, 克服核心、编译器、操作系统、总线、软

件栈、社区等方面的难题固然重要, 不过 DSA 和特色 IP 设计也不失为两种“曲线救国”的途径。DSA 研发的确有一定门槛, 而 IP 设计却大有门道, 且值得研究。

特色外设 IP 能够降低用户的使用难度, 加速用户上手, 也能提供一些额外的性能, 满足用户对多应用场景的使用需求。

陈亮认为, 优秀的 SoC 产品, 需要数字、模拟 IP 双管齐下。在数字 IP 中, TCP/IP 栈对开发者较为友好, 不对开发者的理解能力做过高要求, 支持 TCP、ICMP、IGMPv1/v2、IPv4 等协议标准和 TCP 服务器, 具有易于使用、低延迟、低功耗、易卸载等特性。在模拟 IP 中, 紧密耦合能将其合并到 CPU 流水线上, 具有灵活的运行时间, 特定的周期和超低的响应延迟, 紧密耦合的内存层次结构 (寄存器、缓存、缓冲区) 之间可实现灵活的数据共享, 不受系统总线和外部内存带宽的限制。